

(12)特許協力条約に基づいて公開された国際出願

551266

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年10月14日 (14.10.2004)

PCT

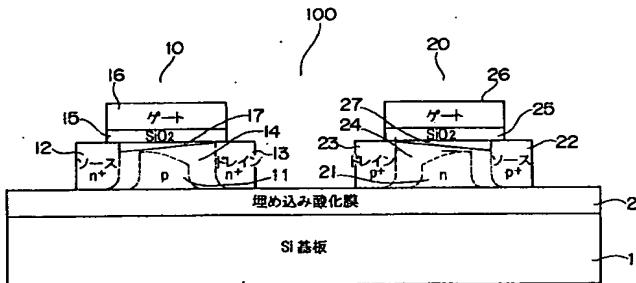
(10) 国際公開番号  
WO 2004/088750 A1

(51) 国際特許分類 <sup>7</sup> :	H01L 27/092, 27/06, 29/786	(72) 発明者; および
(21) 国際出願番号:	PCT/JP2004/003208	(75) 発明者/出願人(米国についてのみ): 秋濃 俊郎 (AKINO, Toshiro) [JP/JP]; 〒6496433 和歌山県那賀郡打田町西三谷 930 近畿大学生物理工学部内 Wakayama (JP).
(22) 国際出願日:	2004年3月11日 (11.03.2004)	(74) 代理人: 河宮治, 外(KAWAMIYA, Osamu et al.); 〒540001 大阪府大阪市中央区城見1丁目3番7号 IMPビル青山特許事務所 Osaka (JP).
(25) 国際出願の言語:	日本語	(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(26) 国際公開の言語:	日本語	
(30) 優先権データ: 特願2003-095116 2003年3月31日 (31.03.2003) JP		
(71) 出願人(米国を除く全ての指定国について): 財団法人大阪産業振興機構 (JURIDICAL FOUNDATION OSAKA INDUSTRIAL PROMOTION ORGANIZATION) [JP/JP]; 〒5400029 大阪府大阪市中央区本町橋2番5号マイドームおおさか内 Osaka (JP).		

[続葉有]

(54) Title: LATERAL BIPOLAR CMOS INTEGRATED CIRCUIT

(54) 発明の名称: ラティラルバイポーラ CMOS 集積回路



- 1...SI SUBSTRATE
- 2...BURIED OXIDE FILM
- 12...SOURCE
- 13...DRAIN
- 16...GATE
- 22...SOURCE
- 23...DRAIN
- 26...GATE

WO 2004/088750 A1

(57) Abstract: An inverter circuit is disclosed which comprises four terminals: a gate input terminal (Vin) connected to gates of an n-channel MOS transistor and a p-channel MOS transistor; an output terminal (Vout) connected to drains of the n-channel MOS transistor and the p-channel MOS transistor; a p-type base terminal connected to a p-type substrate of the n-channel MOS transistor; and a n-type base terminal connected to a n-type substrate of the p-channel MOS transistor. The n-channel MOS transistor operates in a hybrid mode of the operation mode of the MOS transistor and that of an npn lateral bipolar transistor existing within the n-channel MOS transistor. The p-channel MOS transistor operates in a hybrid mode of the operation mode of the MOS transistor and that of a pnp lateral bipolar transistor existing within the p-channel MOS transistor.

(57) 要約: インバータ回路が、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのゲートに接続されたゲート入力端子Vinと、ドレインに接続された出力端子Voutと、nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、pチャネルMOSトランジス

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,  
SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG,  
KZ, MD, RU, TI, TM), ヨーロッパ (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

タのn型サブストレートに接続されたn型ベース端子の4つの端子を含む。nチャネルMOSトランジスタは、MOSトランジスタの動作モードと、nチャネルMOSトランジスタに内在するn-p-nラティラルバイポーラトランジスタの動作モードとの混合モードで動作する。pチャネルMOSトランジスタは、MOSトランジスタの動作モードと、pチャネルMOSトランジスタに内在するp-n-pラティラルバイポーラトランジスタの動作モードとの混合モードで動作する。

## 明細書

## ラティラルバイポーラ CMOS集積回路

## 5 技術分野

本発明は、CMOS集積回路に関し、特に、4端子のMOSトランジスタとそれに内在するラティラル・バイポーラ・トランジスタとを混成モードで動作させるラティラル・バイポーラ・CMOS集積回路に関する。

## 10 背景技術

CMOS集積回路は、集積度を上げても消費電力密度が殆ど増えないという特性を有するが、集積度が高くなるにつれて、更にチャネル長を短くしてもキャリア速度飽和効果により電流量が増えず、電流駆動力を大きくできなくなっていた。一方、CMOS集積回路の集積度が高くなると、配線RC負荷とファンアウト容量負荷が大きくなる。このため、チャネル長を短くしても電流量の増えないCMOS集積回路では、このような集積化による負荷の増大に対処できず、より電流駆動力の大きなデバイスが必要とされた。

これに対して、MOSトランジスタと、それに内在するラティラル・バイポーラ・トランジスタとを混成モードで動作させる、DTMOS (Dynamic Threshold Voltage MOS) トランジスタが提案されている。DTMOSトランジスタでは、MOSトランジスタのnチャネルゲート端子への入力電圧の印加は、内在するnpnトランジスタのベース・エミッタ接合（ベース・ソース接合）での順方向電圧の印加に相当する。即ち、ゲート電圧に依存してベース電流が流れ、これを電流增幅率倍した大きなコレクタ電流が得られ、電流駆動力を大きくできる (F. Assaderaghi et al., "A Dynamic Threshold Voltage MOSFET (DTMOS) for Very Low Voltage Operation," IEEE Electron Device Letters, vol.15, pp.510-512, December 1994)。

しかしながら、DTMOSトランジスタでは、以下のような問題があった。即ち、Vddを0.7V以上とした場合、ベース・エミッタ間に指数関数的な順方

向電流が流れるため、動作が異常となり使用できない。また、V<sub>dd</sub>を0.7Vとしても、大きな電力を消費してしまう。更に、V<sub>dd</sub>を0.7V以下とすると、電流駆動力が低下するとともに、無視できない程度の順方向電流が流れてしまう。

## 5 発明の開示

本発明は、高速動作が可能で、かつ低エネルギーのCMOS集積回路の提供を目的とする。

即ち、本発明は、nチャネルMOSトランジスタとpチャネルMOSトランジスタとを含むインバータ回路であって、該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのゲートに接続されたゲート入力端子V<sub>in</sub>と、該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのドレインに接続された出力端子V<sub>out</sub>と、該nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、該pチャネルMOSトランジスタのn型サブストレートに接続されたn型ベース端子の4つの端子を含み、該nチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該nチャネルMOSトランジスタに内在するn-p-nラティラルバイポーラトランジスタの動作モードとの混合モードで動作し、該pチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該pチャネルMOSトランジスタに内在するp-n-pラティラルバイポーラトランジスタの動作モードとの混合モードで動作することを特徴とするラティラルバイポーラCMOS集積回路である。

従来の3端子のDTMOSは、消費電力が大きく、V<sub>dd</sub>が0.7V以上で使えないという問題点を有する一方で、ラティラル・バイポーラ・トランジスタ動作の電流駆動力により極めて高速であるという優れた特徴を持っていた。そこで、本発明は、その駆動力を活用する立場で、SOIを前提としたMOSトランジスタと、構造的に内在するラティラル・バイポーラ・トランジスタとを、混成した4端子素子として扱う集積回路を提供するものである。

また、本発明は、上記インバータ回路が、上記ゲート入力端子V<sub>in</sub>、上記p型ベース端子、及び上記n型ベース端子を入力端子とし、上記出力端子V<sub>out</sub>を出力端子とし、該ゲート入力端子V<sub>in</sub>に入力された高レベル又は低レベルの

電圧を、反転させたレベルの電圧として出力端子 $V_{out}$ から出力するインバータ回路であることを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

また、本発明は、上記nチャネルMOSトランジスタの上記p型ベース端子に接続された電流源 $I_{bp}$ と、上記pチャネルMOSトランジスタの上記n型ベース端子に接続された電流源 $I_{bn}$ とを含み、該電流源 $I_{bp}$ 及び該電流源 $I_{bn}$ の電流は、上記ゲート入力端子 $V_{in}$ への入力電圧が略一定の状態で0に維持され、該ゲート入力端子 $V_{in}$ への入力電圧が低レベルから高レベルへにスイッチングした場合に、該スイッチングに同期して該電流源 $I_{bp}$ から該p型ベース端子に順方向のパルス電流を流すとともに、該ゲート入力端子 $V_{in}$ への入力電圧が高レベルから低レベルへスイッチングした場合に、該スイッチングに同期して該電流源 $I_{bn}$ から該n型ベース端子に順方向のパルス電流を流すことを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

更に、本発明は、電圧源 $V_{dd}$ と接地源 $Gnd$ とを含み、上記電流源 $I_{bp}$ が、ソース端子、ドレイン端子及びサブストレート端子を含むプルアップ型pチャネルMOSトランジスタであって、該ドレイン端子が上記p型ベース端子に接続され、該ソース端子と該サブストレート端子が該電圧源 $V_{dd}$ に接続されたプルアップ型pチャネルMOSトランジスタからなり、上記電流源 $I_{bn}$ が、ソース端子、ドレイン端子及びサブストレート端子を含むプルダウン型nチャネルMOSトランジスタであって、該ドレイン端子が上記n型ベース端子に接続され、該ソース端子と該サブストレート端子が該接地源 $Gnd$ に接続されたプルダウン型nチャネルMOSトランジスタからなることを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

更に、本発明は、上記nチャネルMOSトランジスタと上記pチャネルMOSトランジスタとを含むインバータ回路を、上記MOSトランジスタの動作モードでCMOS標準セルとして使用し、該CMOS標準セルの出力に大きな負荷が接続された場合に、上記混成モードで使用することを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

以上の説明から明らかなように、本発明にかかるラティラル・バイポーラ CMOS 集積回路では、4端子のnチャネルとpチャネルのMOSトランジスタと、

その各々に構造的に内在するn p nとp n pのラティラル・バイポーラ・トランジスタを混成モードで動作させて、インバータ回路のスイッチング時にのみ高速充放電を行い、高速動作が可能で、かつ低エネルギーのラティラル・バイポーラCMOS集積回路を実現できる。

5

#### 図面の簡単な説明

図1は、本実施の形態にかかるラティラルバイポーラCMOS装置の断面の概略図である。

図2は、本実施の形態にかかるラティラルバイポーラCMOSインバータ回路(LB CMOS)の等価回路図である。

図3は、nチャネルMOSトランジスタの等価回路図である。

図4は、pチャネルMOSトランジスタの等価回路図である。

図5は、本実施の形態にかかるLB CMOSのレイアウト図である。

図6は、入力電圧と、I<sub>b</sub>p、I<sub>b</sub>nから供給される電流の波形である。

図7は、本実施の形態にかかるラティラルバイポーラCMOSインバータ回路(LB CMOS)の等価回路図である。

図8は、本実施の形態にかかるLB CMOSのレイアウト図である。

図9は、入力電圧と、ゲート電圧V<sub>p</sub>、V<sub>n</sub>の波形である。

図10は、比較例にかかる従来のDT MOSの等価回路図である。

図11は、nチャネルDT MOSの等価回路図である。

図12は、pチャネルDT MOSの等価回路図である。

図13は、入力電圧のパルス波形である。

図14は、V<sub>gs</sub>を変化させた場合の、nチャネルDT MOSの電流I<sub>ds</sub>–電圧V<sub>ds</sub>特性である。

図15は、|V<sub>gs</sub>|を変化させた場合の、pチャネルDT MOSの電流|I<sub>ds</sub>|–電圧|V<sub>ds</sub>|特性である。

図16は、DT CMOSの遅延と消費電力である。

図17は、DT CMOSのエネルギーとエネルギー遅延積である。

図18は、V<sub>be</sub>=0.7Vに固定し、V<sub>gs</sub>を変化させた場合の、nチャネ

ルLBMOSの電流  $I_{ds}$  - 電圧  $V_{ds}$  特性である。

図19は、 $V_{be} = 0.7V$ 、 $V_{ds} = 1.0V$ に固定した場合の、nチャネルLBMOSの電流  $I_{ds}$  - 電圧  $V_{gs}$  特性である。

図20は、 $|V_{be}| = 0.7V$ に固定し、 $|V_{gs}|$  を変化させた場合の、nチャネルLBMOSの電流  $|I_{ds}|$  - 電圧  $|V_{ds}|$  特性である。

図21は、 $|V_{be}| = 0.7V$ 、 $|V_{ds}| = 1.0V$ に固定した場合の、pチャネルLBMOSの電流  $|I_{ds}|$  - 電圧  $|V_{gs}|$  特性である。

図22は、LBCMOSインバータ回路の遅延と消費電力に関して、CMOS、DT CMOSとの比較である。

図23は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積について、CMOS、DT CMOSとの比較である。

図24は、LBCMOSインバータ回路の遅延と消費電力に関して、CMOSとの比較である。

図25は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積について、CMOSとの比較である。

図26は、LBCMOSインバータ回路の遅延と消費電力である。

図27は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積である。

図28は、LBCMOSインバータ回路の遅延と消費電力である。

図29は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積である。

図30は、LBCMOSインバータ回路の遅延と消費電力である。

図31は、LBCMOSインバータのエネルギーとエネルギー遅延積である。

図32は、LBCMOSインバータ回路の遅延と消費電力である。

図33は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積である。

図34は、LBCMOSインバータ回路の遅延と消費電力である。

図35は、LBCMOSインバータ回路のエネルギーとエネルギー遅延積である。

## 発明を実施するための最良の形態

図1は、全体が100で表される、本実施の形態にかかるラティラルバイポーラCMOS (Lateral Bipolar CMOS) インバータ回路（以下、「LBCMOS」と記載する。）装置の断面の概略図である。

LBCMOS 100は、シリコン基板1を含む。シリコン基板1の上には、酸化シリコンの埋め込み酸化膜2を介してnチャネルMOSトランジスタ10とpチャネルMOSトランジスタ20とが設けられている。

nチャネルMOSトランジスタ10は、p型サブストレート領域11とその両側に設けられたn型ソース領域12、n型ドレイン領域13を有する。これらの領域11、12、13は、シリコンから形成される。p型サブストレート領域11は、部分的空乏層14が生じる膜厚、および不純物濃度に設計される。

p型サブストレート領域11の上には、酸化シリコンからなるゲート絶縁膜15を介して多結晶シリコンからなるゲート電極16が設けられている。ゲート電極16に電圧を印加することにより、p型サブストレート領域11にnチャネル（反転層）17が形成される。

更に、埋め込み酸化膜2の上には、pチャネルMOSトランジスタ20が設けられる。pチャネルMOSトランジスタ20は、nチャネルMOSトランジスタ10とほぼ同じ構造を有する。埋め込み酸化膜2上に、n型サブストレート領域21とそれを挟むp型ソース領域22、p型ドレイン領域23を有し、更に、n型サブストレート領域21の上には、ゲート絶縁膜25を介してゲート電極26が設けられている。n型サブストレート領域21には、部分的空乏層24が形成されるとともに、ゲート電極26に電圧を印加することによりpチャネル27が形成される。

なお、LBCMOSの作製には、シリコン基板1、埋め込み酸化膜2およびシリコン膜からなるSOI (Silicon On Insulator) 基板を用いることが好ましい。

図1から明らかなように、例えば、nチャネルMOSトランジスタ10は、一般的なMOSトランジスタ構造を有すると共に、n型ソース領域12、部分的空乏層14以外のp型サブストレート領域11、n型ドレイン領域13が、内在

したn p n構造のラティラル・バイポーラ・トランジスタとなっている。

このように、nチャネルMOSトランジスタ10は、MOSトランジスタの動作モードと、バイポーラトランジスタの動作モードが混ったモード（混成モード）で動作する。これは、pチャネルMOSトランジスタ20についても同様である。  
5 なお、混成モードの詳細については後述する。

図2は、全体が200で表される、本実施の形態にかかるラティラル・バイポーラ・CMOSインバータ回路（LBCMOS）の等価回路図である。LBCMOS200では、nチャネルMOSトランジスタ210とpチャネルMOSトランジスタ220が、CMOSインバータ構造となるように接続されている。即ち、両トランジスタ210、220のゲート、ドレインが、それぞれ、入力端子Vi  
10 n、出力端子Voutに接続されている。また、pチャネルMOSトランジスタ220のソースが電圧源Vddに、nチャネルMOSトランジスタ210のソースが接地源Gndに、それぞれ接続されている。

LBCMOS200は、更に、2つの電流源Ibn230、Ibp240を含む。電流源Ibn230は、pチャネルMOSトランジスタ220のn型サブストレート領域（ベース）に接続されたサブストレート端子（Sub）に接続され、かかるサブストレート端子に順方向電流を流す。一方、電流源Ibp240は、nチャネルMOSトランジスタ10のp型サブストレート領域（ベース）に接続されたサブストレート端子（Sub）との間に接続され、同じくサブストレート端子に順方向電流を流す。

図3は、LBCMOS200に含まれ、内在するn p nラティラル・バイポーラ・トランジスタと混成した動作を行う4端子のnチャネルMOSトランジスタ210の等価回路図である。このトランジスタを、nチャネルLBMOs素子と呼ぶ。また、図4は、4端子のpチャネルMOSトランジスタ220の等価回路図である。  
25

図3、4から明らかなように、MOSトランジスタ210、220のソース、ドレインは、内在するバイポーラトランジスタのエミッタ、コレクタを兼ねている。また、バイポーラトランジスタのベース領域には、サブストレート（ベース）端子が接続されている。

図5は、LBCMOS200のレイアウト図である。

LBCMOS200において、チャネル幅は、入デザインルールで、nチャネルの最小幅： $W_n = 6\lambda$ とpチャネルの最小幅： $W_p = 12\lambda$ である。例えば、 $\lambda = 0.175\mu m$ とすると、最小寸法が、 $W_n = 1.05\mu m$ 、 $W_p = 2.1\mu m$ となる。

図5では、電流源 $I_{bp}$ 、 $I_{bn}$ の入力端子をサブストレート・コンタクトで示し、nウエルとpウエルの分離間隔は $6\lambda$ と仮定した。

図6は、LBCMOSを混成モードで動作させる場合の、入力端子 $V_{in}$ に対する入力電圧と、電流源 $I_{bp}$ 、 $I_{bn}$ から供給される電流の波形である。

図6に示すように、まず、入力端子 $V_{in}$ への入力電圧が、低レベル（Gnd電位）から高レベル（Vdd）にスイッチングする。スイッチング（立ち上がり）に必要な時間は $150\text{ ps}$ である。かかる入力電圧のスイッチングに同期して、 $I_{bp}$ から $n-p-n$ ラティラル・バイポーラ・トランジスタのp型サブストレート（ベース）端子に順方向電流を供給する。

このように、インバータ回路の入力電圧が低レベルから高レベルに変化してスイッチングする場合にのみ同期して、電流源 $I_{bp}$ が、最大電流値が $I_{max}$ である台形の電流パルスをベース電流として流すことにより、 $n-p-n$ ラティラル・バイポーラ・トランジスタにおいて大きなコレクタ電流を引き出し、nチャネルMOSのスイッチング速度を加速できる。一方、かかるタイミングでは、 $p-n-p$ ラティラル・バイポーラ・トランジスタのベース（n）・エミッタ（ソース）接合は零バイアスとして電流を流さない。

同様に、 $p-n-p$ ラティラル・バイポーラ・トランジスタのn型サブストレート（ベース）端子へ順方向電流を供給する電流源 $I_{bn}$ は、インバータ回路の入力電圧が、高レベルから低レベルにスイッチングする場合（スイッチング時間は $150\text{ ps}$ ）にのみ同期して、最大電流が高さ $I_{max}$ である台形の電流パルスをベース電流として流す。これにより、 $p-n-p$ ラティラル・バイポーラ・トランジスタにおいて、大きなコレクタ電流を引き出して、pチャネルMOSのスイッチング速度を加速できる。一方、かかるタイミングでは、 $n-p-n$ ラティラル・バイポーラ・トランジスタのベース（p）・エミッタ（ソース）接合は零バイアスに

して電流を流さない。

更に、インバータ回路が定常状態にある時、即ち、入力電圧が、高レベル又は低レベルで略一定している時は、双方のラティラル・バイポーラ・トランジスタのベース・エミッタ接合は零バイアスに印加され、いずれにおいてもベース電流は流れない。

以上の説明から明らかなように、本実施の形態にかかるLBCMOSでは、インバータ回路を構成する一方のトランジスタがオン状態で、かつ高速に動作して消費電力が上っても、他方のトランジスタはオフ状態で電力を消費しない。更に、かかる消費電力の増加を、遅延の減少量が上回ることにより、LBCMOS全体の動作に必要なエネルギーを低減できる。

なお、入力端子V<sub>in</sub>への入力電圧のスイッチング（立ち上り、立ち下り）時間を、それぞれ150psとしているが、これは、最小寸法のトランジスタ幅を有するリングオシレータの回路シミュレーション波形から採用した値である。また、I<sub>bP</sub>とI<sub>bn</sub>の立ち上り時間（＝立ち下り時間）を、それぞれ50psと100psとしているが、これは、nチャネル/pチャネルMOSトランジスタ幅の比、即ち、ゲート容量の比が1：2であることに対応させたものである。これは、後述のLBCMOS300においても同様である。

図7は、全体が300で表される、本実施の形態にかかるラティラル・バイポーラ・CMOS（LBCMOS）インバータ回路の等価回路図である。

LBCMOS300は、LBCMOS200と同様に、nチャネルMOSトランジスタ310とpチャネルMOSトランジスタ320が、CMOS構造となるように接続されている。2種類の電流源には、LBCMOS200とは異なり、例えば $\lambda = 0.175\mu m$ として、W<sub>p</sub>=12 $\lambda$ =2.1 $\mu m$ のプルアップpチャネルMOSトランジスタ330と、W<sub>n</sub>=6 $\lambda$ =1.05 $\mu m$ のプルダウンnチャネルMOSトランジスタ340が用いられる。

MOSトランジスタ330のドレイン端子は、nチャネルMOSトランジスタ310のp型サブストレート（ベース）端子に接続され、ソース端子とサブストレート端子は、ともに電圧源V<sub>dd</sub>に接続される。同様に、MOSトランジスタ340のドレイン端子は、pチャネルMOSトランジスタ320のn型サブスト

レート（ベース）端子に接続され、ソース端子とサブストレート端子は、接地源 Gnd にそれぞれ接続される。

かかる構造で、MOSトランジスタ330のゲート電圧Vpと、MOSトランジスタ340のゲート電圧Vnを制御することにより、インバータ回路を構成する2つのMOSトランジスタ310、320のサブストレート（ベース）端子のどちらか一方に順方向電流を流す。即ち、後述するように、一方のサブストレート（ベース）端子に順方向電流を流す場合、他方のサブストレート（ベース）端子には順方向電流は流さないように制御する。

図8は、かかるLBCMOS300のレイアウトである。

図9は、LBCMOS300を混成モードで動作させる場合の、入力端子Vinに対する入力電圧と、2つの電流源のゲート電圧Vp、Vnのパルス波形である。

図9に示すように、まず、入力端子Vinへの入力電圧が、低レベル（Gnd 電位）から高レベル（Vdd）にスイッチングする。スイッチング（立ち上がり）に必要な時間は150psである。かかる入力電圧のスイッチングに同期して、MOSトランジスタ330のゲート電圧Vpが、高レベル（Vdd）から低レベル（Gnd）に変化し、一定時間（T1）経過後にまた元の高レベル（Vdd）に戻る台形のパルス電圧を与える。これにより、かかる台形波に対応した、略台形のパルス電流が、MOSトランジスタ330のドレイン端子に流れる。かかるパルス電流が、nチャネルMOSトランジスタ310に内在するn-p-nラティラル・バイポーラ・トランジスタのベース電流となって大きなコレクタ電流を引き出し、nチャネルMOSトランジスタ310のスイッチング速度を加速する。一方、MOSトランジスタ340のゲート電圧Vnは低レベルに維持され、トランジスタがオフ状態になるように制御する。これにより、pチャネルMOSトランジスタ320にはベース電流が流れず、オフ状態に維持される。

次に、インバータ回路の入力電圧Vinが、高レベル（Vdd）から低レベル（Gnd）にスイッチングする場合、スイッチングに同期して、MOSトランジスタ340のゲート電圧Vnが、低レベル（Gnd）から高レベル（Vdd）に変化し、一定時間（Th）経過後にまた元の低レベル（Gnd）に戻る台形状に

変化する。かかるパルス電圧を与えることにより、それに対応したほぼ台形のパルス電流が、MOSトランジスタ340のドレイン端子に流れる。かかるパルス電流が、nチャネルMOSトランジスタ320の内在するpnpラティラル・バイポーラ・トランジスタのベース電流となって大きなコレクタ電流を引き出し、  
5 pチャネルMOSトランジスタ320のスイッチング速度を加速する。

一方、MOSトランジスタ330のゲート電圧V<sub>p</sub>は高レベルに維持され、トランジスタがオフ状態になるように制御する。これにより、nチャネルMOSトランジスタ310にはベース電流が流れず、オフ状態に維持される。

更に、インバータ回路が定常状態にある時、即ち、入力電圧が、高レベル又は低レベルで略一定している時は、双方のラティラル・バイポーラ・トランジスタのベース・エミッタ接合は零バイアスに印加され、ベース電流は流れない。  
10

このように、LBCMOS300では、LBCMOS200と同様に、インバータ回路を構成する一方のトランジスタがオン状態で、かつ高速に動作して消費電力が上っても、他方のトランジスタはオフ状態で電力を消費しない。更に、かかる消費電力の増加を、遅延の減少量が上回ることにより、LBCMOS全体の動作に必要なエネルギーを低減できる。  
15

#### <比較例>

図10は、比較例であり、全体が400で表される従来構造のDTCMOS (Dynamic Threshold Voltage CMOS) インバータ回路の等価回路図である。また、  
20 図11、12は、DTCMOS400に含まれるnチャネルMOSトランジスタ(以下、「DTMOS」と呼ぶ。)410とpチャネルDTMOS420との等価回路図である。

DTCMOS400は、nチャネルDTMOS410とpチャネルDTMOS420が、CMOS構造となるように接続されている。DTMOS410、420のゲート、ドレインは、それぞれ、入力端子V<sub>in</sub>、出力端子V<sub>out</sub>に接続されている。また、pチャネルDTMOS420のソースが電圧源V<sub>dd</sub>に、nチャネルDTMOS410のソースが接地源Gndに、それぞれ接続されている。  
25

また、DTCMOS400では、2つのDTMOS410、420のサブストレート(ベース)端子が入力端子V<sub>in</sub>に接続されている。

ここで、ゲート端子とサブストレート端子とが常時接続されるnチャネルD T M O S 4 1 0について説明する。nチャネルD T M O S 4 1 0では、ゲート端子へ正の入力電圧の印加は、即ち、構造的に内在するn p nバイポーラトランジスタのベース・エミッタ接合に順方向電圧を印加することに相当する。この接合に印加される電圧の値、即ちゲート電圧の値に依存して、n p nバイポーラトランジスタにベース電流が流れ、これを電流増幅率倍した大きなコレクター電流が流れる。しかし、ベース・エミッタ接合の電圧はビルトイン電圧以下となり、電圧源V d dもビルトイン電圧以下となる。

一方、ソース端子とドレイン端子が零バイアスの場合、nチャネルD T M O S 4 1 0がオン状態でなくてもサブストレート端子（即ちベースでもあり、またゲートでもある端子）に順方向電圧が印加されれば、無視できない程度のベース電流が流れる。このため、D T C M O S 4 0 0のスイッチングが起きない定常状態においても電力が消費される。

次に、図10に示されるD T C M O S 4 0 0の動作について述べる。

D T C M O S 4 0 0では、 $W_p/W_n = 2$ となる。ここでは、 $0.35\mu m$ のCMOSプロセスに基き、マスク寸法のチャネル長は $L_n = L_p = 0.35\mu m$ とし、チャネル幅は $W_n = 1.05\mu m$ （最小チャネル幅）、 $W_p = 2.1\mu m$ とした。

図13は、D T C M O S 4 0 0を動作させる場合の、入力端子V i nからの入力電圧の波形である。ここで立ち上り時間と立ち下り時間をそれぞれ $150\text{ ps}$ としているが、これは同寸法CMOSインバータのリングオシレータの回路シミュレーション結果から求めた立ち上り時間（立ち下り時間）に相当する。

次に、nチャネルM O Sとn p nバイポーラトランジスタの混成モードで動作するnチャネルD T M O S 4 1 0の動作を回路シミュレーションで確認する。ここでは、 $0.35\mu m$ のCMOSプロセスに基づき、B S I M 3 v 3モデルで、以下の主要パラメータを使ったシミュレーションを行った。

nチャネルM O S :

$$V_{T0}(n) = 0.178V$$

$$K_1 = 0.47V^{1/2}$$

$$K_2 = -0.057$$

$$\phi_s = 0.82 \text{ V}$$

$$\mu_0 = 550 \text{ cm}^2/\text{V Sec}$$

$$t_{ox} = 7 \text{ nm}$$

5 n p n バイポーラトランジスタ :

$$h_{FE} = 100$$

$$I_s = 2 \times 10^{-15} \text{ A}$$

$$\text{Area} = 1$$

10 S. Verdonkt-Vandebroek et al. の "High-gain lateral bipolar action in a MOSFET structure," (IEEE Trans. Electron Devices, vol. ED-38, pp. 2487-2496, Nov. 1991) によれば、Vddが0.6 V以下の場合、DTMO Sの電流増幅率  $h_{FE}$  の測定結果は 1000 を越える。Vddが0.7 V以上の場合に、 $h_{FE}$  を 100 とした本発明の仮定は、容易に実現できると考える。

15 図 14 は、トランジスタの幅  $W_n = 1.05 \mu\text{m}$  である n チャネル DT MOS 410 に対して、 $V_{gs}$  を 0 V から 0.7 V に変化させた場合の、電流  $I_{ds}$  と 電圧  $V_{ds}$  の関係である。

20 図 14 からわかるように、 $V_{gs}$  ( $= V_{be}$  : ベース・エミッタ電圧) が 0.7 V に到達すると、順方向ベース電流が指数関数的に急増するため、電圧と電流の関係に不連続が見られる。

25 続いて、p チャネル MOS と p n p バイポーラトランジスタの混成モードで動作する p チャネル DT MOS 420 の動作を回路シミュレーションで確認する。回路シミュレーションは、同様に、0.35  $\mu\text{m}$  の CMOS プロセスに基づき、BSIM3v3 モデルで、以下の主要パラメータを使って行った。

p チャネル MOS :

$$V_{to} (p) = -0.238 \text{ V}$$

$$K_1 = 0.45 \text{ V}^{1/2}$$

$$K_2 = -0.03$$

$$\phi_s = 0.79 \text{ V}$$

$$\mu_0 = 220 \text{ cm}^2/\text{V Sec}$$

$$t_{ox} = 7 \text{ nm}$$

p n p バイポーラトランジスタ :

$$h_{FE} = 100$$

$$I_s = 2 \times 10^{-15} \text{ A}$$

$$\text{Area} = 2$$

図 15 は、 p チャネル D T M O S 4 2 0 に対して、  $|V_{gs}|$  を 0 V から 0. 7 V まで変化させた場合の、 電流  $|I_{ds}|$  と電圧  $|V_{ds}|$  との関係である。図 15 からわかるように、  $|V_{gs}| (= |V_{be}|)$  が 0. 7 V に到達すると、 順方向ベース電流が指数関数的に急増するため、 電圧と電流の大きな不連続が見られる。

次に、 上述の D T M O S 4 1 0 、 4 2 0 を含む D T C M O S 4 0 0 の回路シミュレーション結果を示す。

図 16 (a) (b) に、 負荷容量と  $V_{dd}$  とを変化させた場合の、 D T C M O S インバータの遅延 (出力の立ち上りと立ち下りの平均遅延をいう。以下同様。) 、 及び消費電力を示す。

図 16 (a) (b) より、 遅延、 消費電力共に、  $V_{dd}$  に大きく依存していることがわかる。特に、  $V_{dd} > 0. 7 \text{ V}$  では、 消費電力が急激に増加している。

図 17 (a) (b) に、 同じく負荷容量と  $V_{dd}$  とを変化させた場合の、 D T C M O S インバータのエネルギーとエネルギー遅延積を示す。エネルギーは、 消費電力 × 遅延時間で近似できるが、 消費電力の増加が遅延時間の減少を上回るため、  $V_{dd} > 0. 7 \text{ V}$  ではエネルギーが大きく増加する。

このエネルギーに再度、 遅延を乗じた値がエネルギー遅延積であるが、 エネルギー遅延積が最小となるのは、 図 17 (b) の座標で表すと、  $(0. 6, 0) \rightarrow (0. 65, 25) \rightarrow (0. 7, 50) \rightarrow (0. 7, 75) \rightarrow (0. 7, 100)$  と推移する。

負荷容量  $\leq 25$  の場合、  $V_{dd} \leq 0. 65 \text{ V}$  で遅延積の値はほぼ 0 と見なせる。  $V_{dd} \geq 0. 7 \text{ V}$  において、 遅延積の値が増えるが、 この 0. 7 V が増加の始まりである。これは、  $V_{dd} = 0. 7 \text{ V}$  で順方向ベース電流が指数関数的に増え、 この結果、 電流增幅率倍したコレクタ電流が流れるためである。上述の非特許文

献1では、 $V_{dd}$ の上限を0.6Vとしているが、本発明では0.7Vと見なす。

<実施例>

図18は、nチャネルLBMOS ( $W_n = 1.05 \mu m$ )において、 $V_{be} = 0.7V$ に固定して、 $V_{gs}$ を変化させた場合の、電流 $I_{ds}$ と電圧 $V_{ds}$ との関係である。また、図19は、 $V_{be} = 0.7V$ 、 $V_{ds} = 1.0V$ に固定した場合の、電流 $I_{ds}$ と電圧 $V_{gs}$ との関係である。図18、19において、縦軸の電流は対数で表されており、電流が急激に増加していることがわかる。

また、図20は、pチャネルLBMOS ( $W_p = 2.1 \mu m$ )において、 $|V_{be}| = 0.7V$ に固定して、 $|V_{gs}|$ を変化させた場合の、電流 $|I_{ds}|$ と電圧 $|V_{ds}|$ との関係である。また、図21は、 $|V_{be}| = 0.7V$ 、 $|V_{ds}| = 1.0V$ に固定した場合の、電流 $|I_{ds}|$ と電圧 $|V_{gs}|$ との関係である。縦軸の電流は対数で表されており、電流が急激に増加していることがわかる。

次に、これらのnチャネルLBMOSとpチャネルLBMOSとをCMOSインバータ構造となるように接続したLBCMOSを、2種類の電流源を用いて混成モードで動作させた場合の回路シミュレーション結果について述べる。

回路シミュレーションにおいては、DT CMOSでは上限であった $V_{dd} = 0.7V$ の場合に、負荷容量： $C_L = 0.5534 pF (= 100 \times 5.534 fF)$ （この値5.534 fFは最小寸法のインバタ回路のゲート容量値）に対して、電流源の最大値が $75 \mu A$ で、その最大値の電流レベルにある時間間隔が100 psであるとした電流パルス条件を設定した。

かかる電流パルス条件を用い、通常のCMOS、及び上述の比較例で述べたDT CMOSと比較した、LBCMOSインバタ回路の性能に関する回路シミュレーション実験を行った。なお、混成モードにおける電流増幅率 $h_{FE}$ は、100とした。

表1に、かかる回路シミュレーションの結果を示す。表1では、通常のCMOS、上記比較例で説明したDT CMOS、及び本発明にかかるLBCMOSについて、遅延時間、消費電力、エネルギー、及びエネルギー遅延積について比較を行った。CMOS/LBCMOS、DT CMOS/LBCMOSは、これらの回

路で得られる特性値の比を示す。なお、以下の表2～4においても、シミュレーション結果の比較項目は同じとする。

(表1)

$V_{dd}=0.7V$ ,  $C_l=0.5534pF$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$

	CMOS	DTCMOS	LBCMOS	CMOS/LBCMOS	DTCMOS/LBCMOS
遅延(ps)	4313.800	169.550	67.093	64.30	2.53
消費電力(μW)	7.018	500.374	8.278	0.85	60.45
エネルギー(fJ)	30.274	84.838	0.555	54.55	152.86
エネルギー・遅延積( $\times 10^{-9}fJ\cdot s$ )	130.596	14.384	0.037	3529.62	388.76

5

10

表1に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が18%増える。しかしながら、遅延は1/64と小さくなり、従って動作速度は64倍も高速であり、エネルギーでは1/55になる。

15

一方、DTCMOSとの比較では、動作速度が2.5倍、消費電力は1/60、エネルギーは1/153となる。上述のように、DTCMOSインバータ回路は、 $V_{dd}>0.7V$ で異常動作を示し、 $V_{dd}=0.7V$ でも消費電力が大きくなり過ぎる。

以上のように、LBCMOSインバータ回路は、3種類のインバータ回路の中で、最も高速で、かつ低エネルギーとなる。

20

図22(a)(b)は、負荷容量 $C_l$ を0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図23(a)(b)は、負荷容量 $C_l$ を0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表1の場合と同じである。

これらのシミュレーション結果から、CMOSは遅延が非常に大きく、DTCMOSでは消費電力が大きいことがわかる。

25 DTCMOSインバータ回路では、 $V_{dd}$ を上限の0.7Vを超えて1.0Vまで上げると、インバータ回路は異常な動作となる。しかしながら、LBCMOSのインバータ回路では、正常な動作が得られる。

表2は、 $C_l=100(\times 5.534fF)$ という大きな負荷容量に対して、 $V_{dd}$ を1.0Vに固定し、電流源が $I_{max}=75\mu A$ で $T_h=100ps$ の

場合の、シミュレーション結果である。

(表2)

$V_{dd}=1.0V$ ,  $C=0.5534pF$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$

	CMOS	LBCMOS	CMOS/LBCMOS
遅延(ps)	2916.950	94.476	30.88
消費電力(μW)	15.851	18.012	0.88
エネルギー(fJ)	46.236	1.702	27.17
エネルギー遅延積( $\times 10^{-9}fJ\cdot s$ )	134.869	0.161	837.70

表2に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が14%増える。しかしながら、遅延は1/31と小さくなり、従って、動作速度は31倍も高速となる。また、エネルギーは1/27となる。

図24(a) (b)は、負荷容量 $C_L$ を0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図25(a) (b)は、負荷容量 $C_L$ を0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表2の場合と同じである。

これらのシミュレーション結果から、CMOSインバータ回路は、消費電力でLBCMOSより僅かに勝るが、遅延が格段に大きくなっていることがわかる。

また、図26(a) (b)に、 $I_{max}$ を $50\mu A$ から $200\mu A$ まで変化させたLBCMOSインバータの遅延と消費電力の変化である。また、図27(a) (b)は、同じく、 $I_{max}$ を $50\mu A$ から $200\mu A$ まで変化させたLBCMOSインバータのエネルギーとエネルギー遅延積の変化である。ここで、 $I_{max}$ は、電流源 $I_{bp}$ から供給される最大電流値である(図6参照)。

図26(a)より、 $I_{max}$ が $75\mu A$ 以下では遅延の変化が急激であるが、 $75\mu A$ 以下では緩やかな変化となることがわかる。従って、nチャネルLBMOSのベース端子には、 $I_{bp}$ から、 $I_{max}$ (= $75\mu A$ ) $\times 200ps$ の台形面積に相当する電荷を供給すれば、十分な高速スイッチングが得られることがわかる。

次に、プルアップ/プルダウンMOSトランジスタを2種類の電流源として使

用したLBCMOSを混成モードで動作させた場合の回路シミュレーション結果について述べる。

かかる回路シミュレーションでは、 $V_{dd} = 0.7V$ の場合に、負荷容量 $C_L = 0.5534\text{pF}$  ( $= 100 \times 5.534\text{fF}$ ) に対して、ブルアップ/ブルダウンMOS (nチャネルMOS/pチャネルMOS) のゲート入力電圧 $V_p$ 、 $V_n$ の、高レベル/低レベルのスイッチングの間隔が、共に $700\text{ps}$ であるとした電圧パルス条件を設定した。

かかる電流パルス条件を用い、通常のCMOS、及び上述の比較例で述べたDT CMOSと比較した、LBCMOSインバータ回路の性能に関する回路シミュレーション実験を行った。なお、混成モードにおける電流増幅率 $h_{FE}$ は、同じく $100$ とした。

表3に、かかる回路シミュレーションの結果を示す。表3では、通常のCMOS、上記比較例で説明したDT CMOS、及び本発明にかかるLBCMOSについて、遅延時間、消費電力、エネルギー、及びエネルギー遅延積について比較を行った。CMOS/LBCMOS、DT CMOS/LBCMOSは、これらの回路で得られる特性値の比を示す。

(表3)

$V_{dd}=0.7V, C_L=0.5534\text{pF}, T_h=T_l=700\text{ps}$

	CMOS	DTCMOS	LBCMOS	CMOS/LBCMOS	DTCMOS/LBCMOS
遅延(ps)	4236.350	169.550	681.945	6.21	0.25
消費電力( $\mu\text{W}$ )	7.319	500.374	8.176	0.90	61.20
エネルギー(fJ)	31.007	84.838	5.575	5.56	15.22
エネルギー遅延積 ( $\times 10^{-9}\text{fJ}\cdot\text{s}$ )	131.356	14.384	3.802	34.55	3.78

表3に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が $12\%$ 増える。しかしながら、遅延は $1/6$ 弱となり、従って、動作速度は6倍強と高速となる。また、エネルギーも $1/6$ 強となった。

一方、DT CMOSと比較すると、動作速度は $1/4$ 倍と遅くなるが、消費電力は $1/61$ となり、また、エネルギーは $1/15$ となった。なお、かかる条件

において、D T C M O Sは消費電力が非常に大きく、実際の使用することは困難である。

図28(a) (b)は、負荷容量C1を0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図29(a) (b)は、負荷容量C1を0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表3の場合と同じである。

これらのシミュレーション結果から、CMOSインバータ回路では遅延が大きく、D T C M O Sインバータ回路では消費電力が非常に大きいことがわかる。

D T C M O Sインバータ回路では、Vddを上限の0.7Vを超えると、インバータ回路は異常な動作となる。しかしながら、LBCMOSのインバータ回路では、正常な動作が得られる。

表4は、Vddを1.0Vに固定し、C1=100 ( $\times 5.534\text{fF}$ )で、パルス電圧の保持時間: Th=Tl=700psの場合の、シミュレーション結果である。

(表4)

Vdd=1.0V, C1=0.5534pF, Th=Tl=700ps

	CMOS	LBCMOS	CMOS/LBCMOS
遅延(ps)	2901.000	142.135	20.41
消費電力(μW)	15.728	20.046	0.78
エネルギー(fJ)	45.628	2.849	16.01
エネルギー遅延積( $\times 10^{-9}\text{fJ}\cdot\text{s}$ )	132.367	0.405	326.85

表4に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が27%増える。しかしながら、遅延は1/20となり、従って、動作速度が20倍と高速となる。また、エネルギーは、1/16となる。

図30(a) (b)は、負荷容量C1を0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図31(a) (b)は、負荷容量C1を0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表4の場合と同じである。

これらのシミュレーション結果から、CMOSインバータ回路は、消費電力で

LBCMOSより僅かに勝るが、遅延は大きくなっていることわかる。

図32(a)(b)は、パルス電圧の保持時間:Th(=T1)を700psに固定し、Vddを0.7Vから1.1Vまで変化させた場合の、LBCMOSインバータ回路の遅延と消費電力の変化である。また、図33(a)(b)は、同様の条件で、Vddを0.7Vから1.1Vまで変化させた場合の、エネルギーとエネルギー遅延積の変化である。

これらの図から明らかなように、Vddを上げると遅延減少効果が大きくなり、Vdd=1.1Vとなってもエネルギー遅延積は最小値に到達しない。

次に、図34(a)(b)は、Vddを0.7Vに固定し、Th(=T1)を100psから1300psまで変化させた場合の、LBCMOSインバータ回路の遅延と消費電力のシミュレーション結果である。また、図35(a)(b)は、Th(=T1)を100psから1300psまで変化させた場合の、LBCMOSインバータ回路のエネルギーとエネルギー遅延積の変化である。

図からわかるように、Th(=T1)が700p以上では、遅延はほぼ変化せず、消費電力の僅かな増加があるのみであり、エネルギーとエネルギー遅延積もほんの僅かしか増えない。従って、保持時間:Th(=T1)を700psに固定しても、LBCMOSインバータ回路にはインバータの充放電に必要な電荷が十分に供給しており、図28から図33の結論はそのまま一般化できると考える。

以上のように、本実施の形態にかかるLBCMOSは、4端子のnチャネルとpチャネルのMOSトランジスタと、その各々に構造的に内在するn-p-nとp-nのラティラル・バイポーラ・トランジスタからなるCMOSと、2つの電流源で構成され、MOSトランジスタ動作とバイポーラトランジスタ動作との混成モードで動作する。このため、CMOSを構成するMOSトランジスタの駆動能力が大幅に向上する。

このインバータ回路では、スイッチング時にのみ高速に充放電を行うことにより、動作が高速で、かつ低エネルギーのCMOS集積回路が実現できる。具体的には、2つのMOSトランジスタに内在するバイポーラトランジスタのベース端子を制御して、CMOSインバータ回路の入力電圧のスイッチングに同期して、一方のMOSトランジスタのベース端子に順方向電流を流し、これを電流増幅率

倍したコレクタ電流を引き出して駆動力を大幅に増やす。同時に、他方のMOSトランジスタのベース端子には電流を流さないようにする。また、CMOSインバータ回路が定常状態にある場合は、双方のベース端子に電流を流さないようにする。

5 また、従来のCMOS標準セル・ライブラリにおいて、高い駆動力を必要とする標準セルの出力に対し、かかる混成モードのLBCMOSを組み込む設計手法を探ることができる。即ち、CMOS標準セル・ライブラリでは、配線RCやファンアウト容量の大きな負荷をスイッチング出来る駆動能力の高い標準セルも取り揃えなければならない。そこで、順方向ベース電流を流してそれを電流増幅率10 倍したドレイン電流を引き出して駆動力を上げた混成モードのLBCMOSをライブラリに準備する。このように、従来の低消費電力であるCMOS標準セルと、高速で低エネルギーな本実施の形態にかかるLBCMOSを併用して使うことにより、画期的なCMOS標準セル・ライブラリが実現する。例えば、クリティカルパス上で大きな負荷を持つ論理ゲートや、バスの駆動回路、ブロックの出力回路15 などの標準セルの出力に、かかるLBCMOSを追加する。

特に、 $0.35\mu m$ のCMOSプロセスを使用する場合、 $V_{dd} = 1.0V$ として、電流増幅率が100のラティラル・バイポーラ動作を仮定すると、この混成モードのLBCMOSは、通常のCMOSに比べて、動作速度が20倍速くなり、エネルギーも1/16となる。このように、本実施の形態にかかるLBCMOSでは、遅延時間を大幅に減らし、同時に大幅な低エネルギー化を達成できる。  
20

## 請 求 の 範 囲

1. nチャネルMOSトランジスタとpチャネルMOSトランジスタとを含むインバータ回路であって、

5 該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのゲートに接続されたゲート入力端子V<sub>in</sub>と、

該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのドレンに接続された出力端子V<sub>out</sub>と、

10 該nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、

該pチャネルMOSトランジスタのn型サブストレートに接続されたn型ベース端子の4つの端子を含み、

15 該nチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該nチャネルMOSトランジスタに内在するn p nラティラルバイポーラトランジスタの動作モードとの混合モードで動作し、

該pチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該pチャネルMOSトランジスタに内在するp n pラティラルバイポーラトランジスタの動作モードとの混合モードで動作することを特徴とするラティラルバイポーラCMOS集積回路。

20 2. 上記インバータ回路が、上記ゲート入力端子V<sub>in</sub>、上記p型ベース端子、及び上記n型ベース端子を入力端子とし、上記出力端子V<sub>out</sub>を出力端子とし、

該ゲート入力端子V<sub>in</sub>に入力された高レベル又は低レベルの電圧を、反転させたレベルの電圧として出力端子V<sub>out</sub>から出力するインバータ回路であることを特徴とする請求項1に記載のラティラルバイポーラCMOS集積回路。

25 3. 上記nチャネルMOSトランジスタの上記p型ベース端子に接続された電流源I<sub>b p</sub>と、上記pチャネルMOSトランジスタの上記n型ベース端子に接続された電流源I<sub>b n</sub>とを含み、

該電流源I<sub>b p</sub>及び該電流源I<sub>b n</sub>の電流は、上記ゲート入力端子V<sub>in</sub>への入力電圧が略一定の状態で0に維持され、

該ゲート入力端子 $V_{in}$ への入力電圧が低レベルから高レベルへにスイッチングした場合に、該スイッチングに同期して該電流源 $I_{bp}$ から該p型ベース端子に順方向のパルス電流を流すとともに、

該ゲート入力端子 $V_{in}$ への入力電圧が高レベルから低レベルへスイッチングした場合に、該スイッチングに同期して該電流源 $I_{bn}$ から該n型ベース端子に順方向のパルス電流を流すことを特徴とする請求項2に記載のラティラルバイポーラCMOS集積回路。

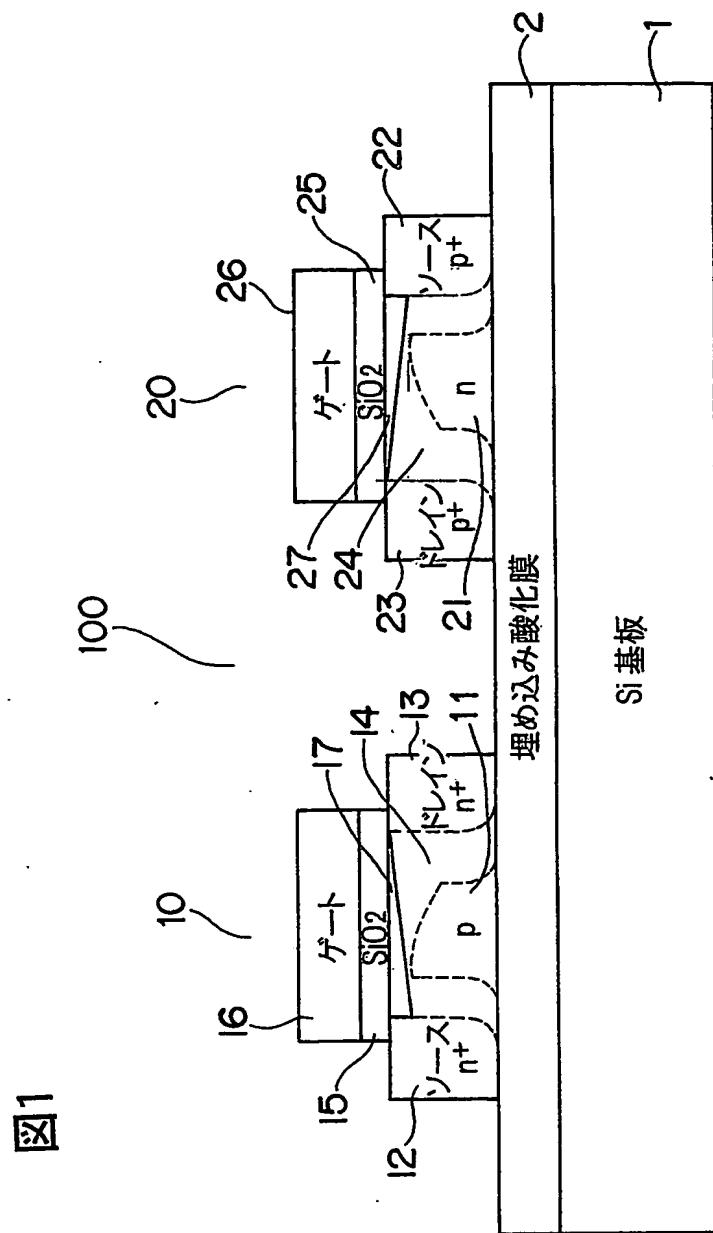
4. 更に、電圧源 $V_{dd}$ と接地源 $Gnd$ とを含み、

上記電流源 $I_{bp}$ が、ソース端子、ドレイン端子及びサブストレート端子を含むプルアップ型pチャネルMOSトランジスタであって、該ドレイン端子が上記p型ベース端子に接続され、該ソース端子と該サブストレート端子が該電圧源 $V_{dd}$ に接続されたプルアップ型pチャネルMOSトランジスタからなり、

上記電流源 $I_{bn}$ が、ソース端子、ドレイン端子及びサブストレート端子を含むプルダウン型nチャネルMOSトランジスタであって、該ドレイン端子が上記n型ベース端子に接続され、該ソース端子と該サブストレート端子が該接地源 $Gnd$ に接続されたプルダウン型nチャネルMOSトランジスタからなることを特徴とする請求項3に記載のラティラルバイポーラCMOS集積回路。

5. 上記nチャネルMOSトランジスタと上記pチャネルMOSトランジスタとを含むインバータ回路を、上記MOSトランジスタの動作モードでCMOS標準セルとして使用し、該CMOS標準セルの出力に大きな負荷が接続された場合に、上記混成モードで使用することを特徴とする請求項1～4のいずれかに記載のラティラルバイポーラCMOS集積回路。

1/35



2/35

図2

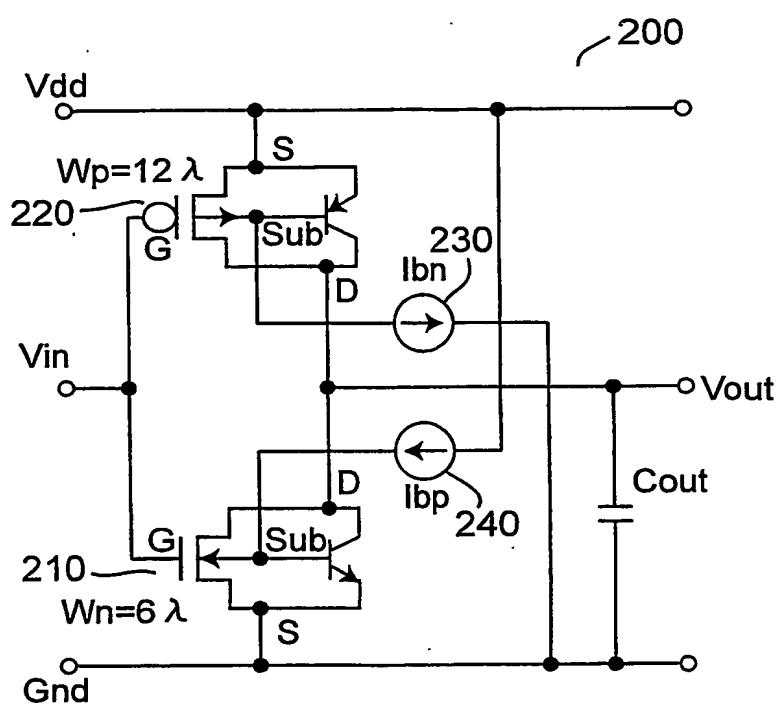
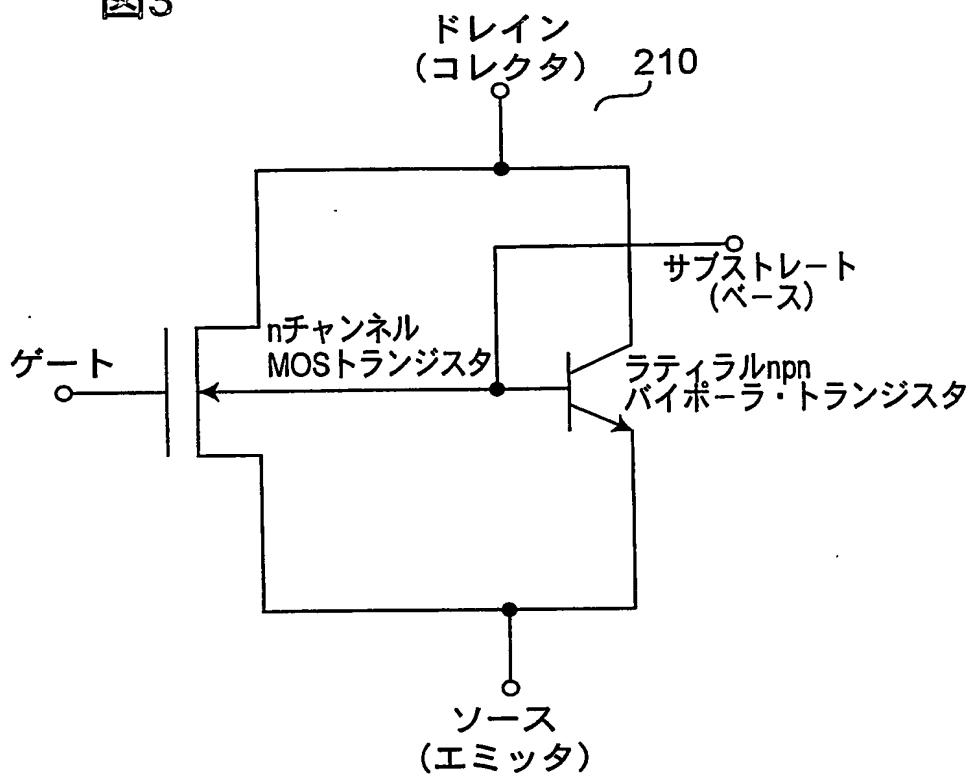
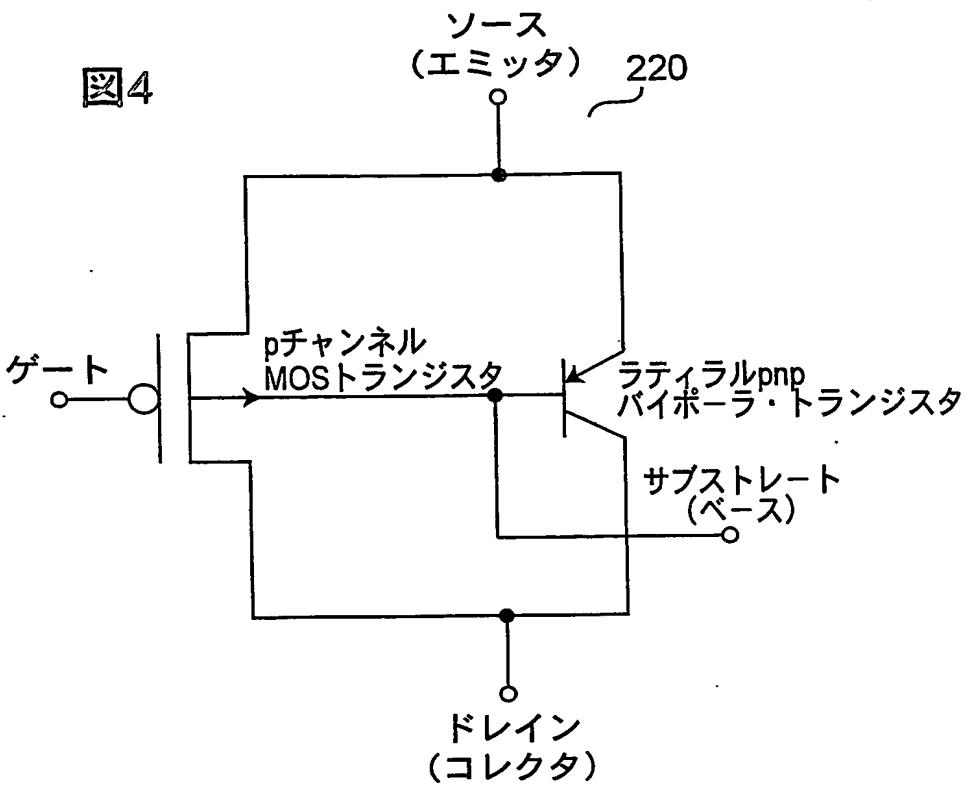


図3

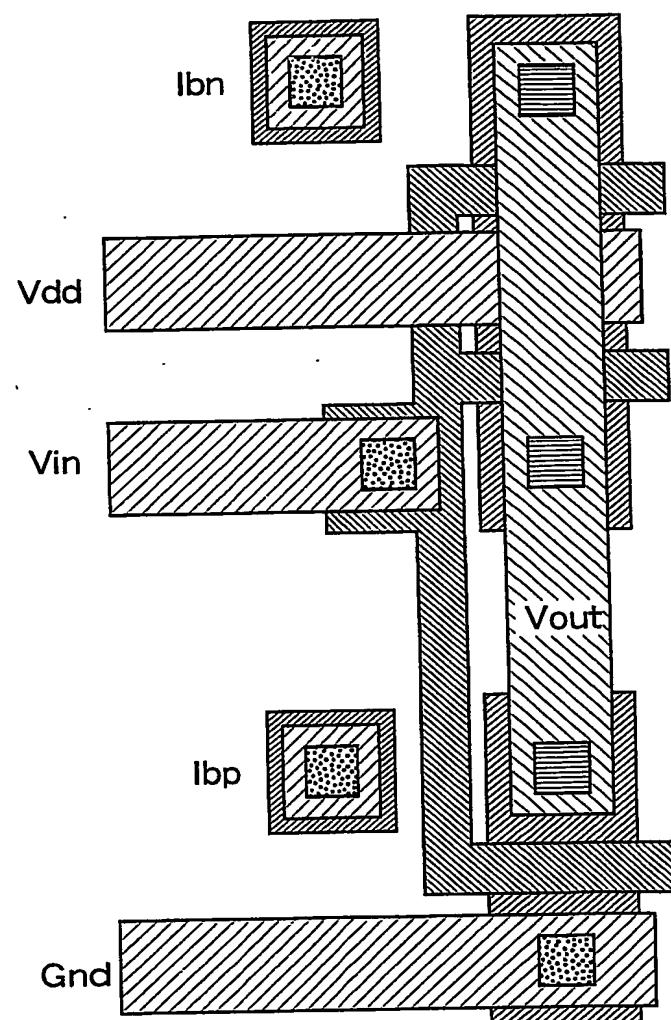


4/35



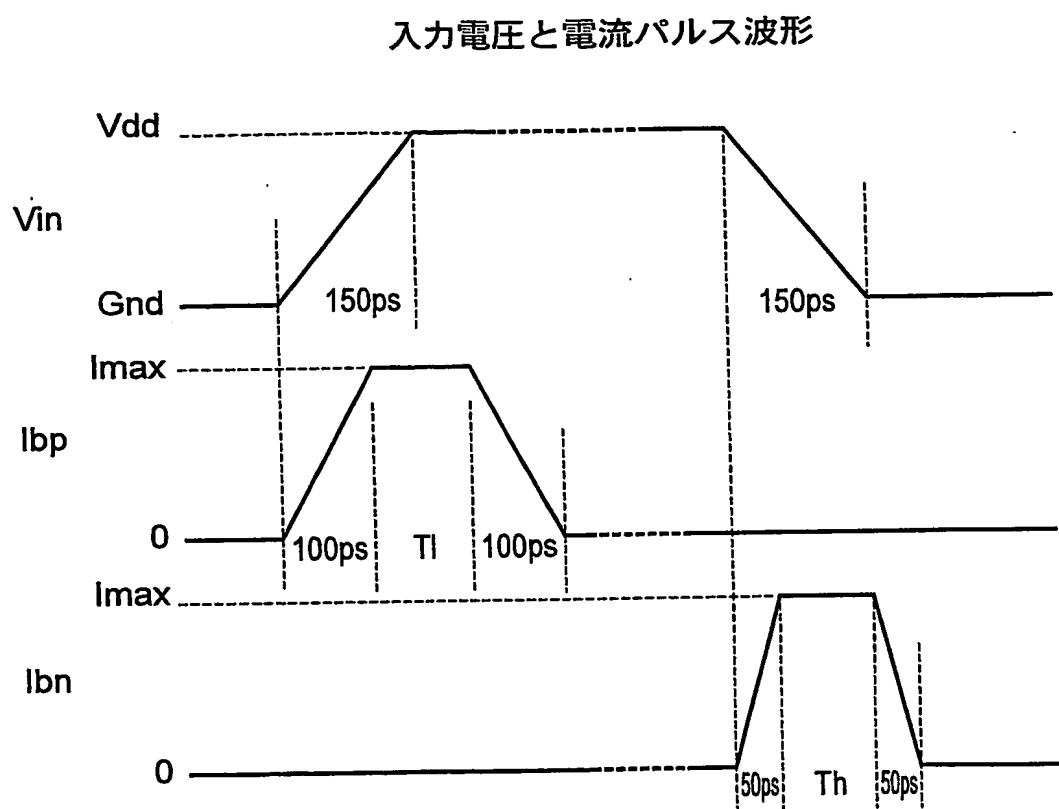
5/35

図5

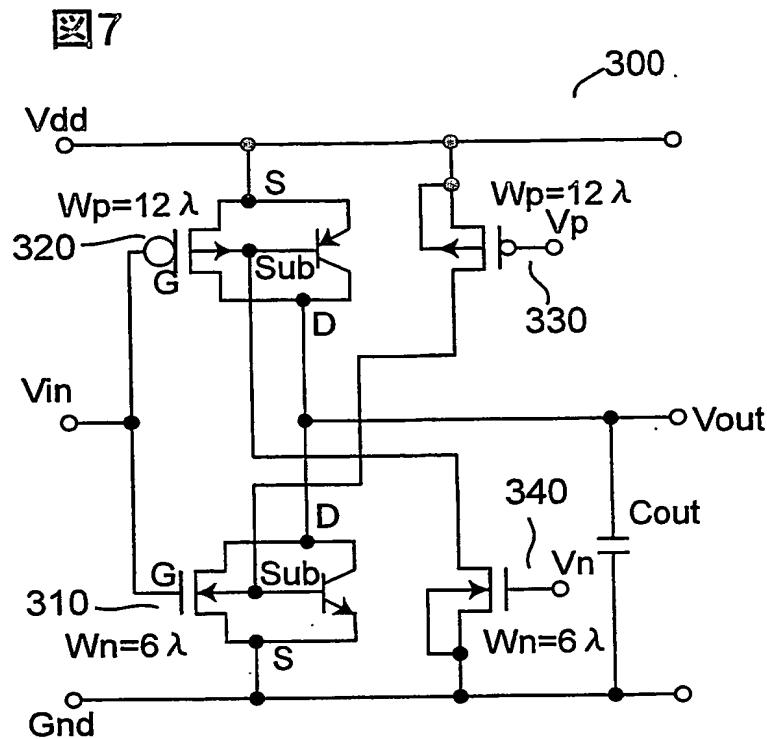


6/35

図6

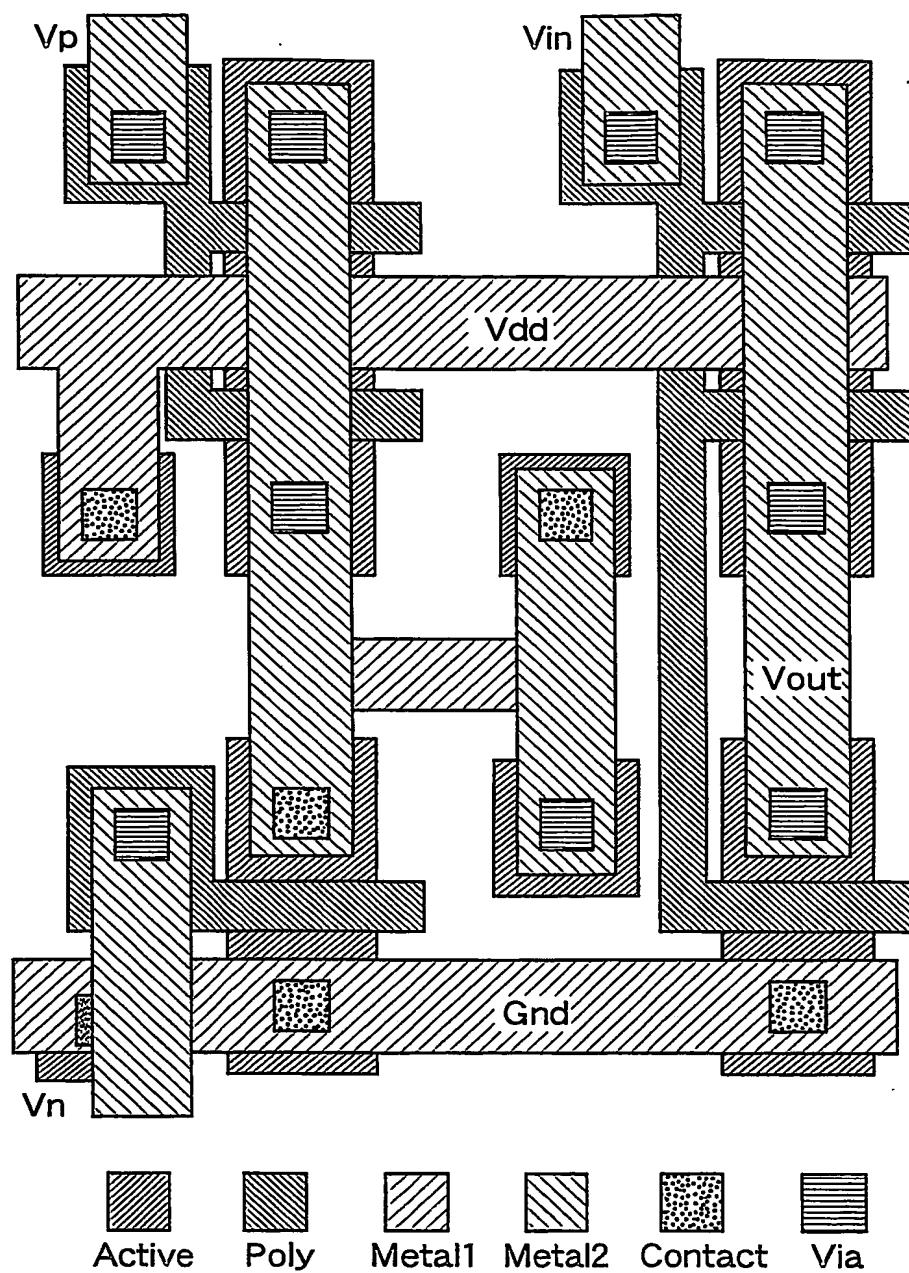


7/35



8/35

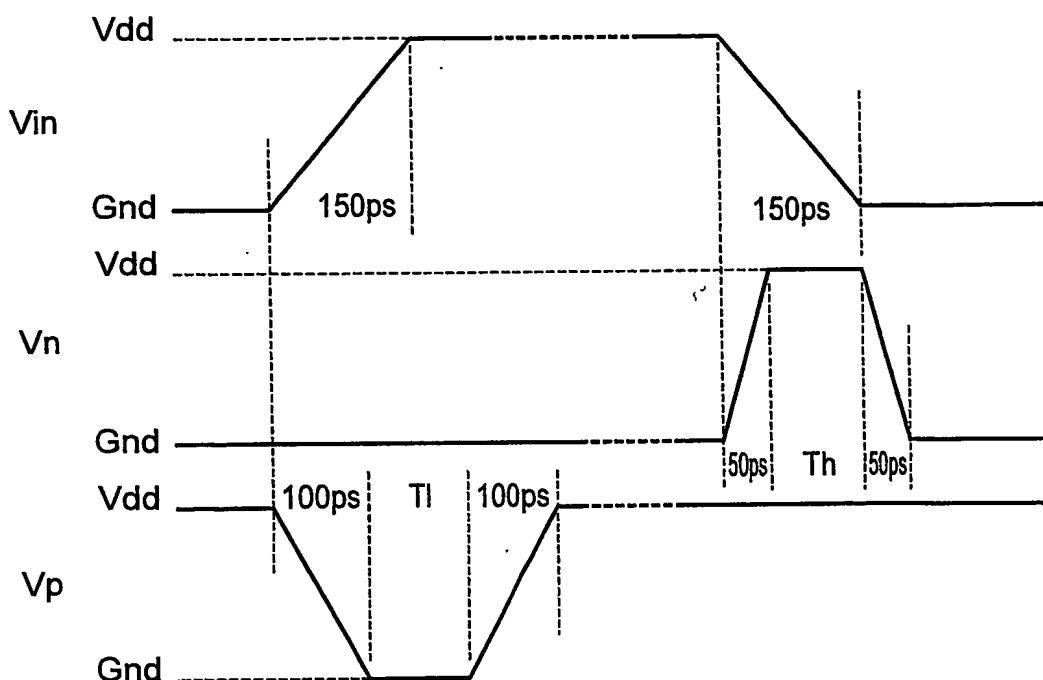
図8



9 / 35

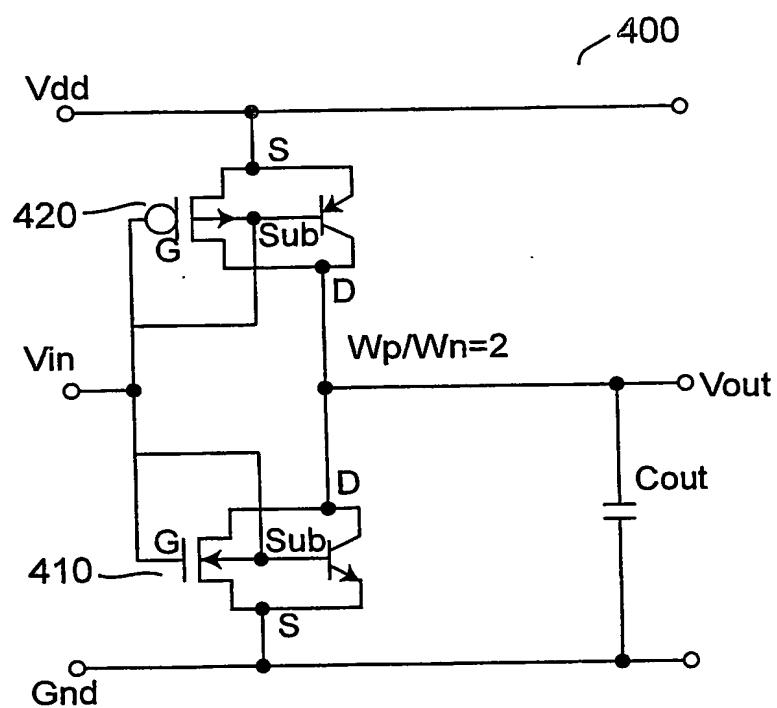
図9

## 入力電圧パルス波形



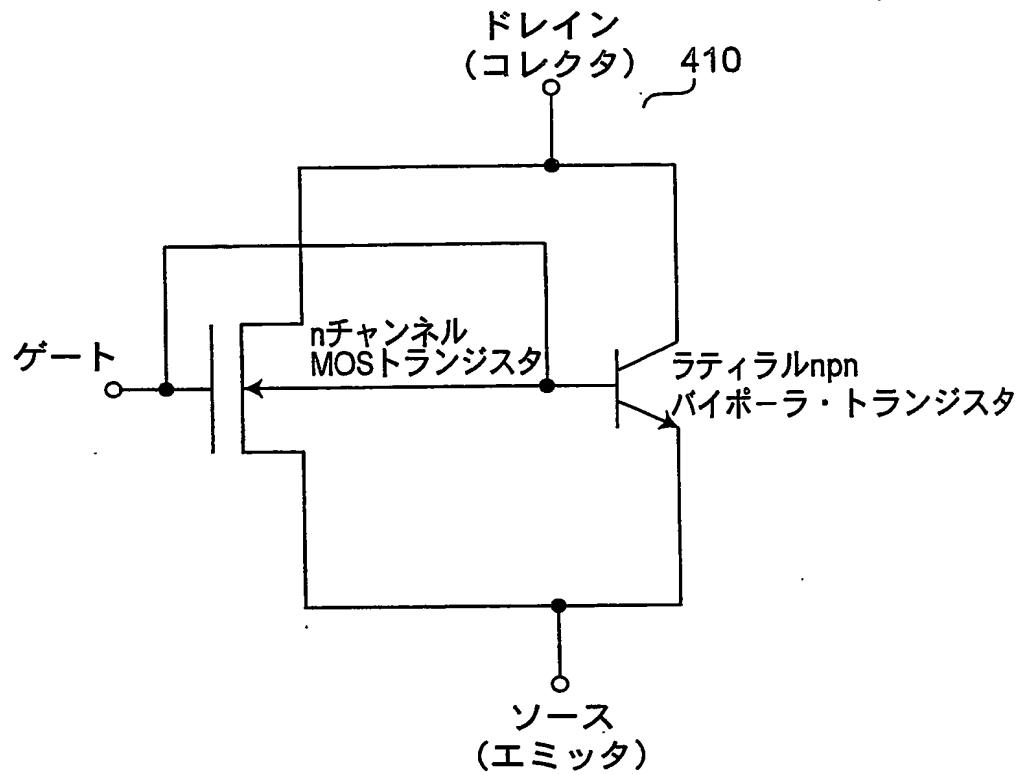
10 / 35

図10



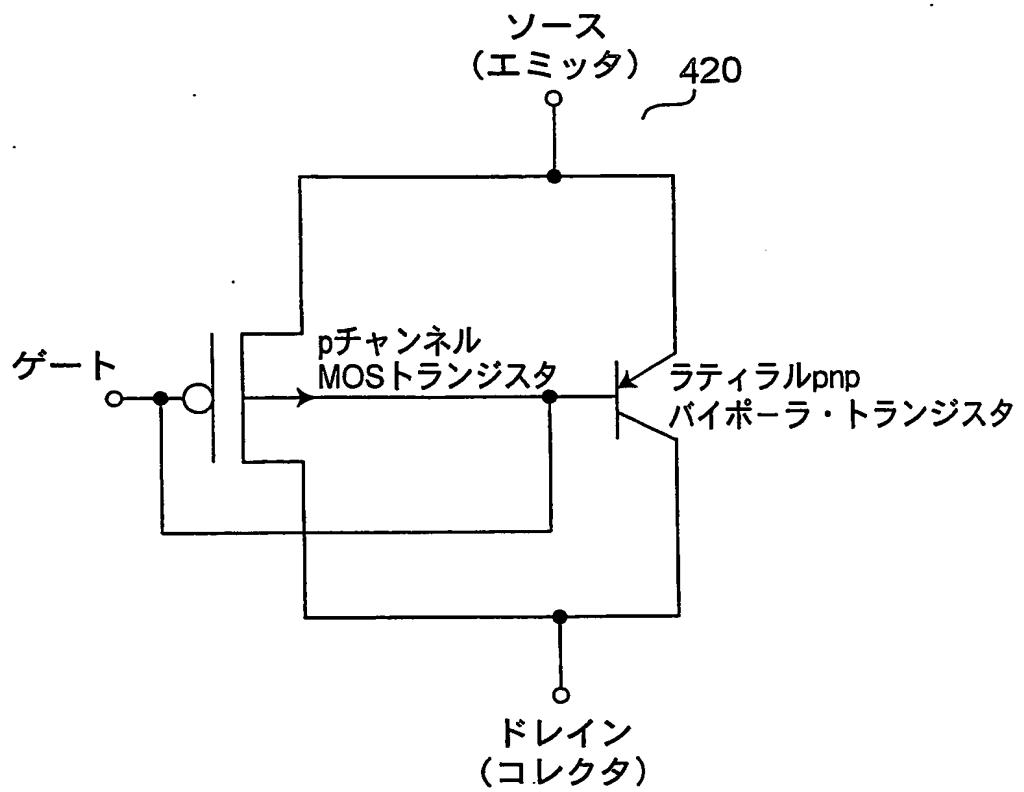
11/35

図11



12/35

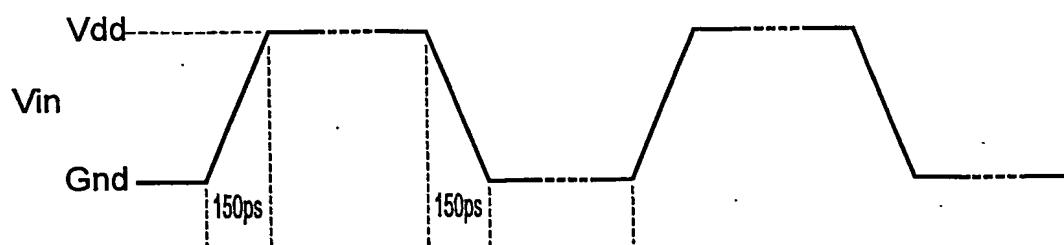
図12



13/35

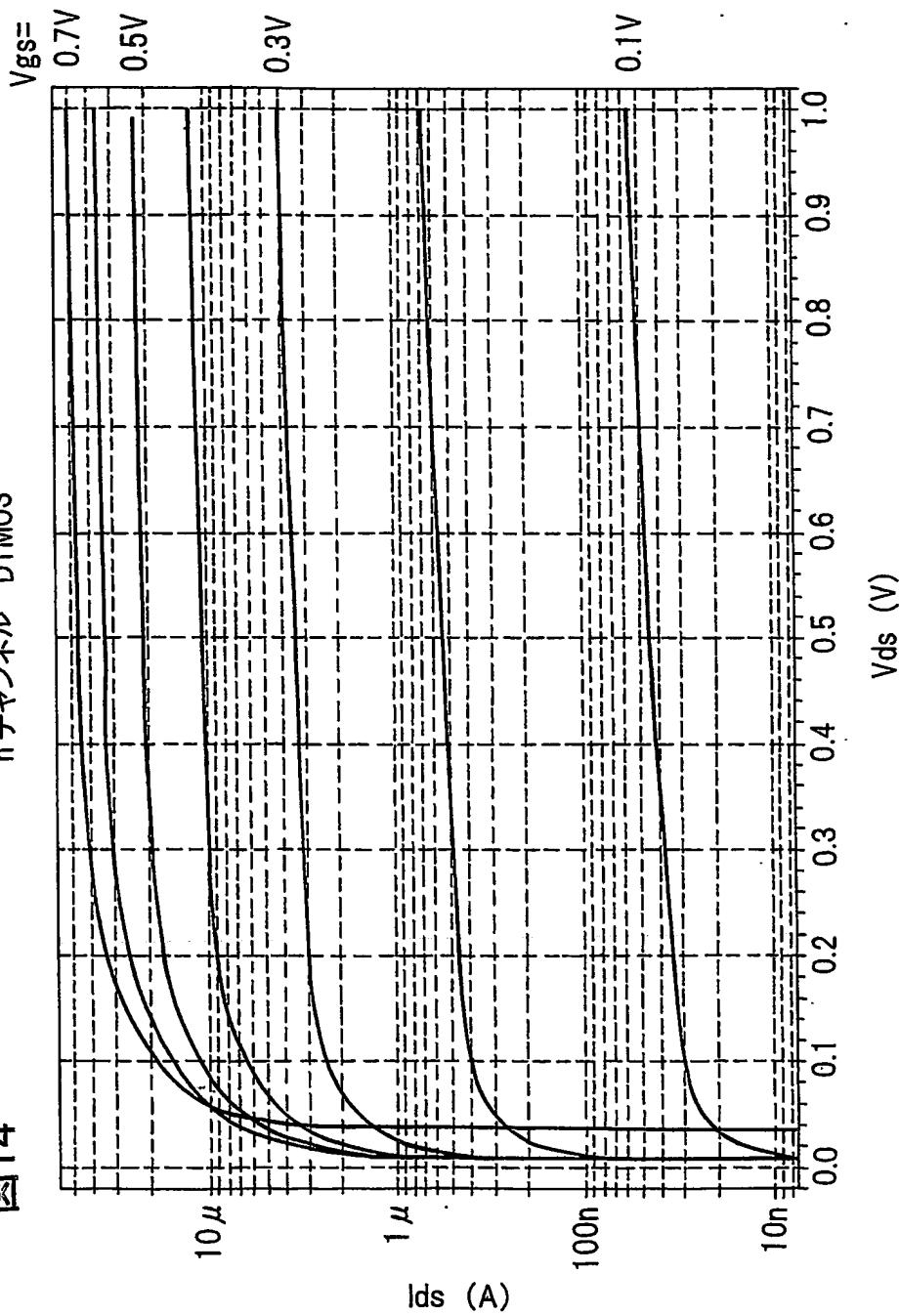
図13

入力電圧パルス波形

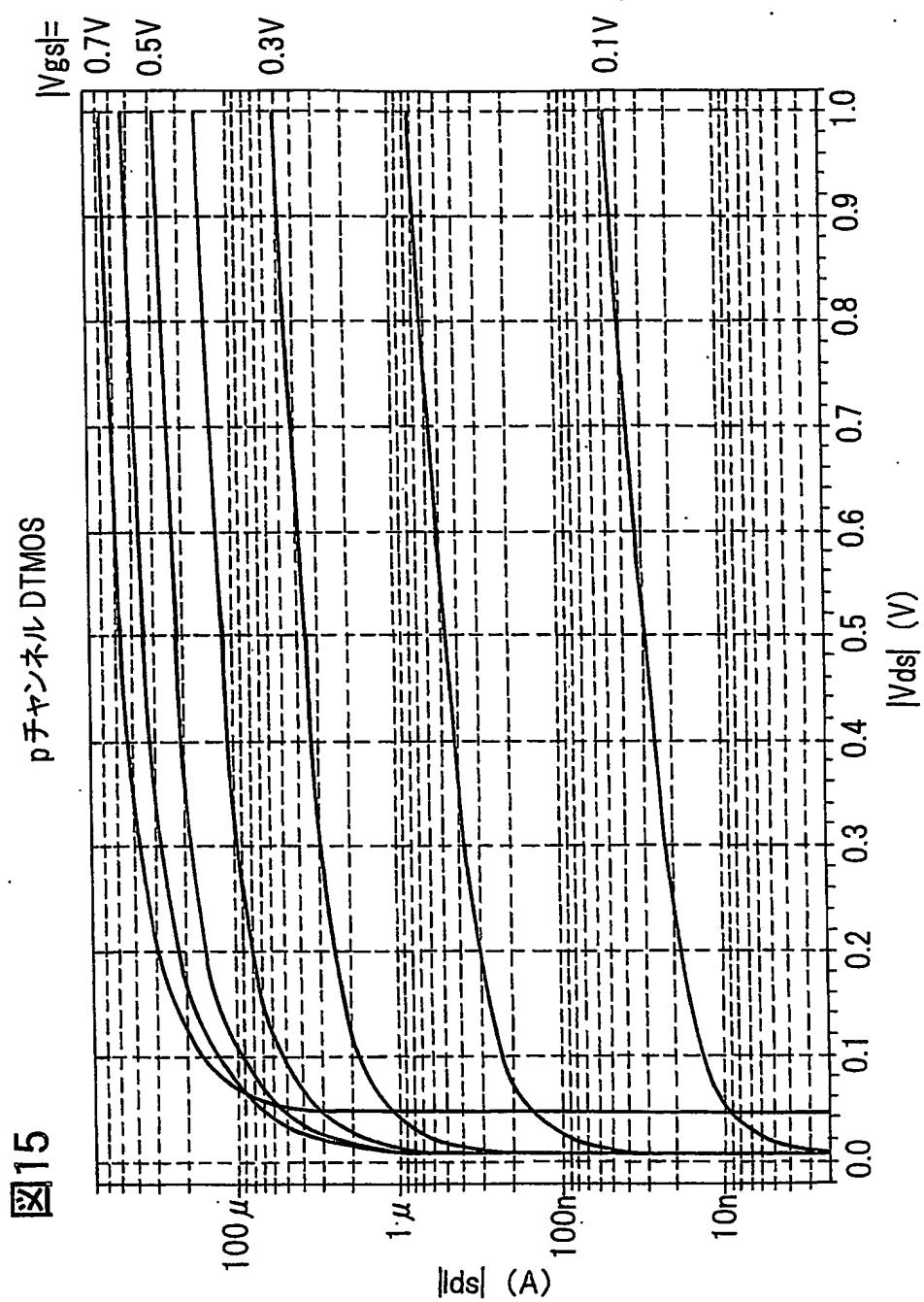


14/35

図14 nチャンネル DTMOS



15/35

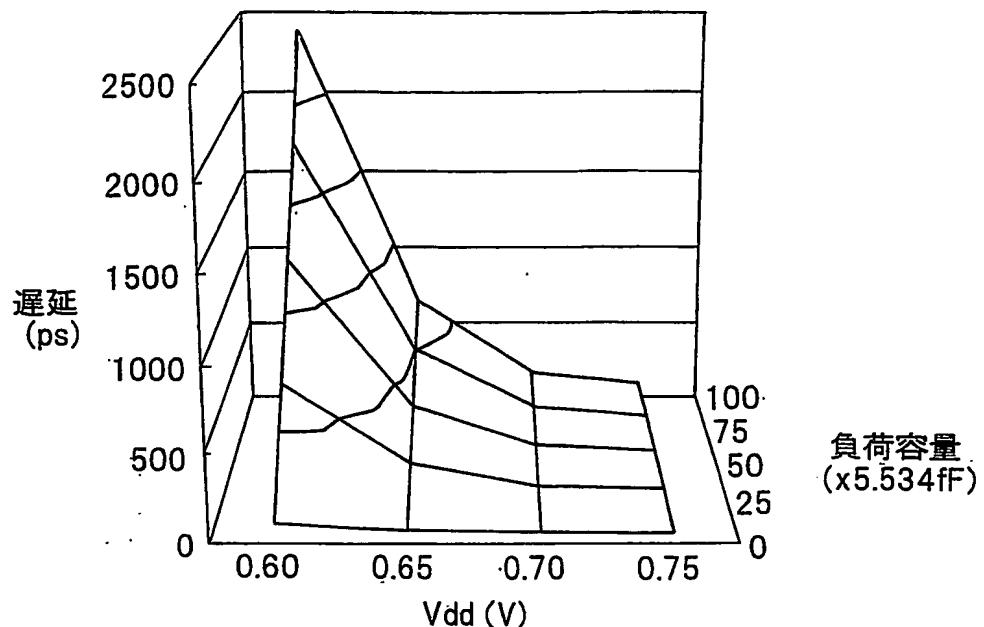


16/35

図16

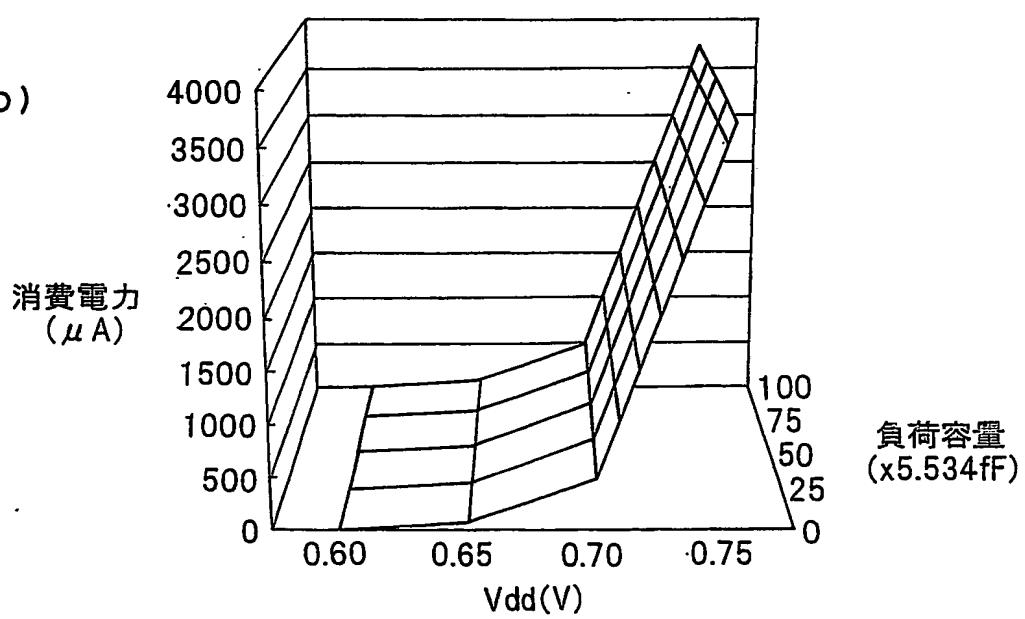
## DTCMOS インバータの遅延

(a)



## DTCMOS インバータの消費電力

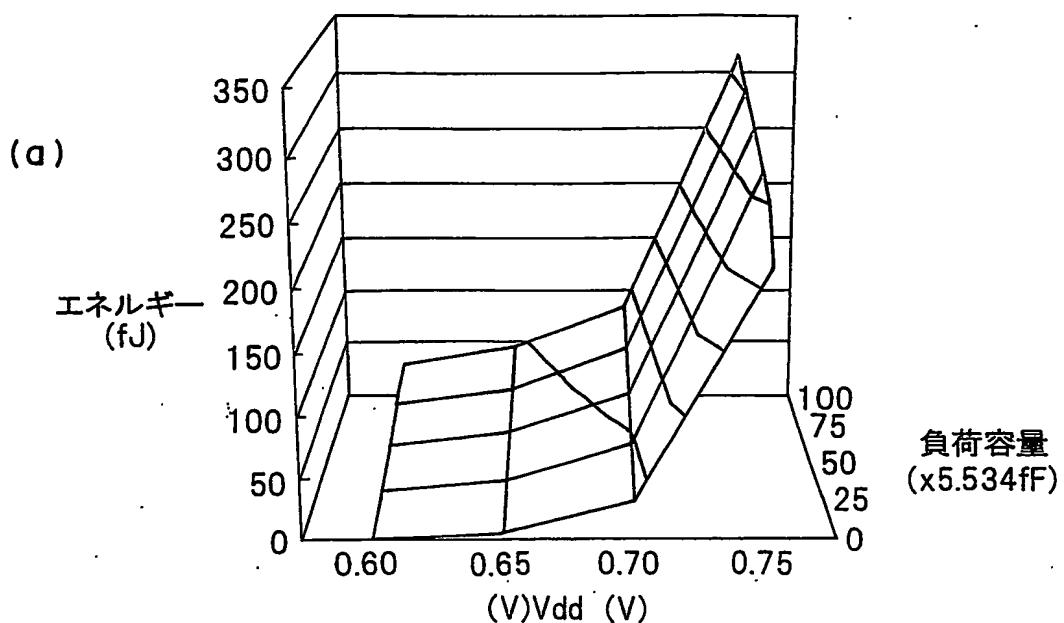
(b)



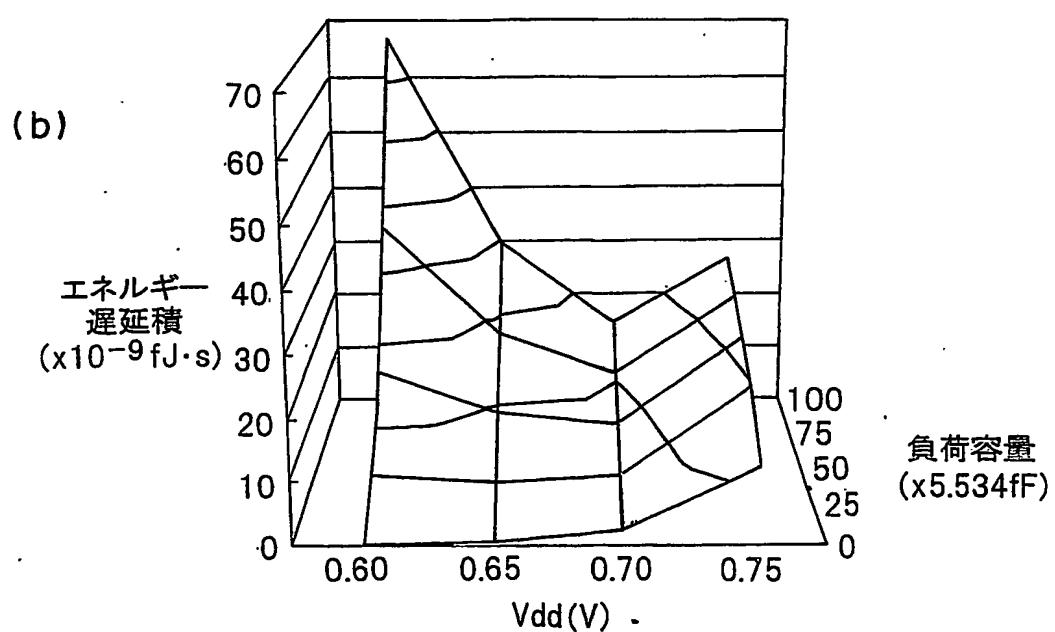
17/35

図17

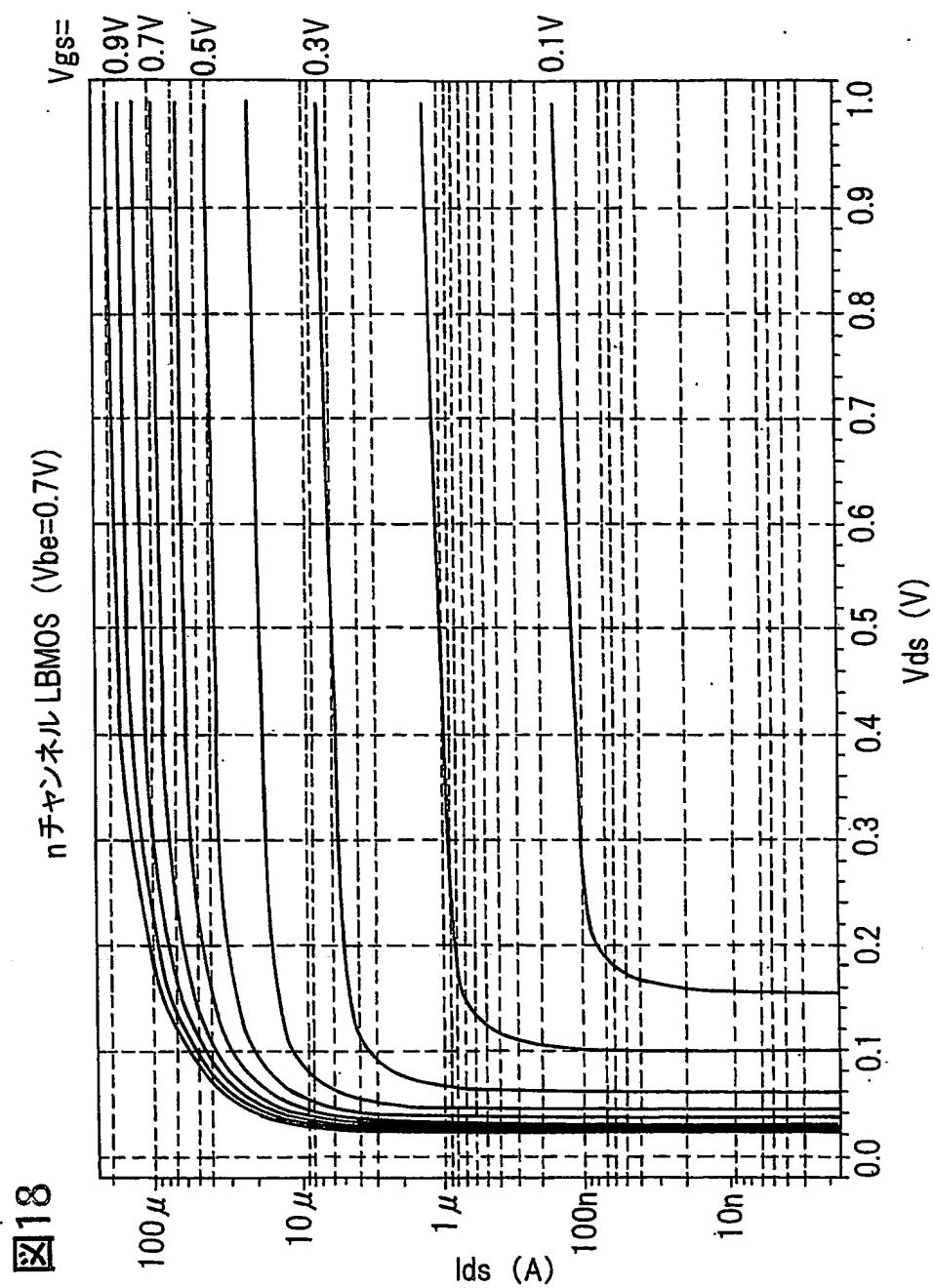
## DTCMOS インバータのエネルギー



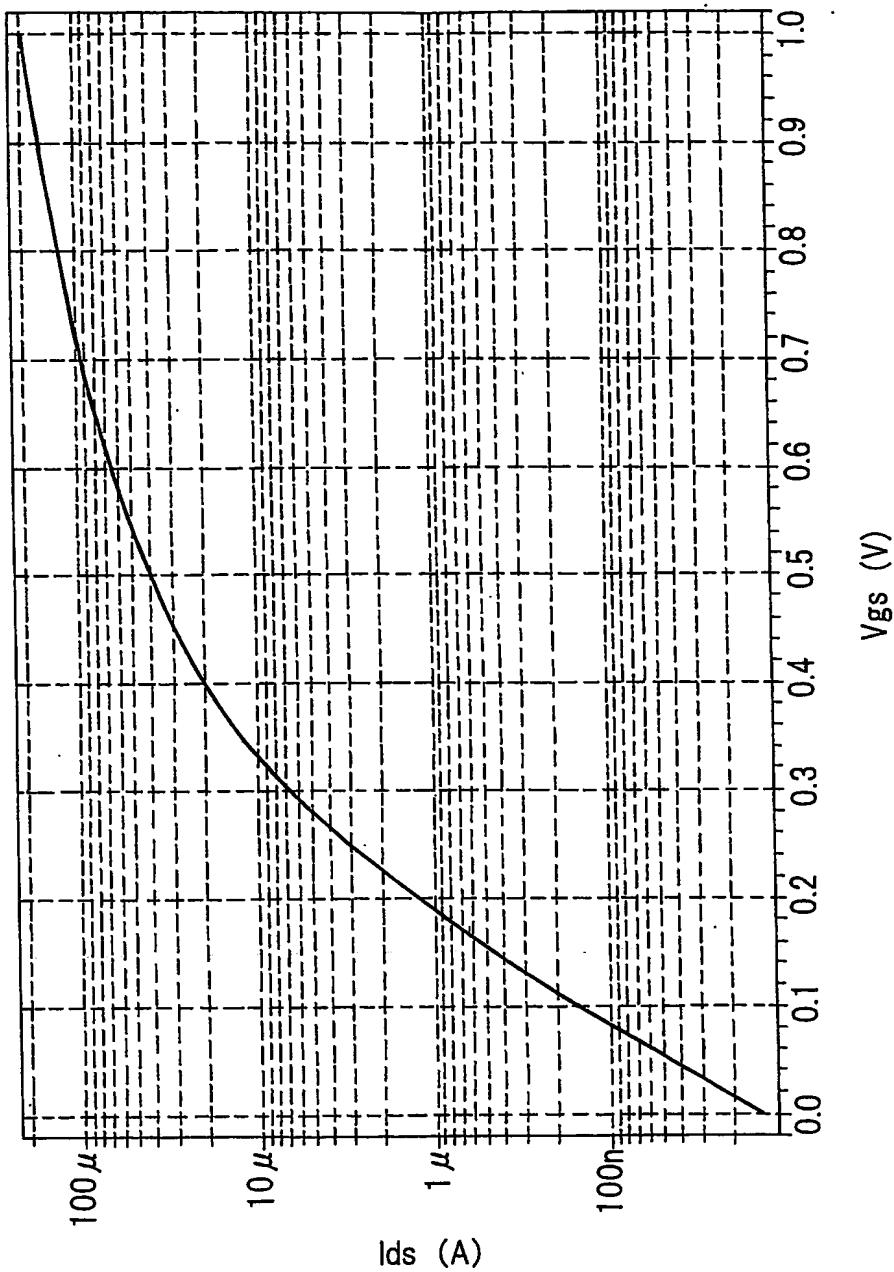
## DTCMOS インバータのエネルギー遅延積



18/35



19 / 35

図19 nチャネルLBMOS ( $V_{be}=0.7V$ ,  $V_{ds}=1.0V$ )

20/35

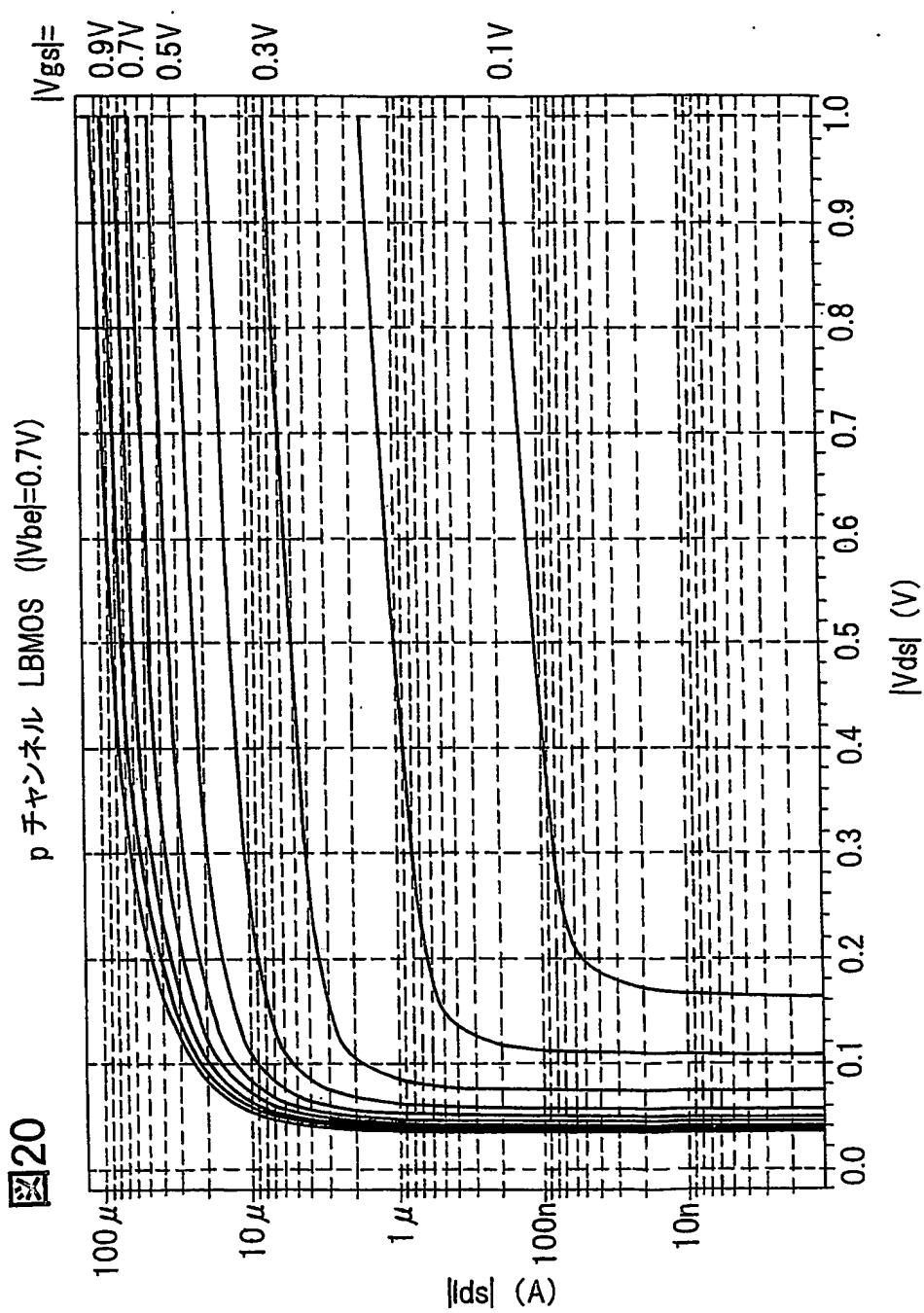


図21 pチャネル LBMOS ( $|V_{be}|=0.7V$ ,  $|V_{ds}|=1.0V$ )

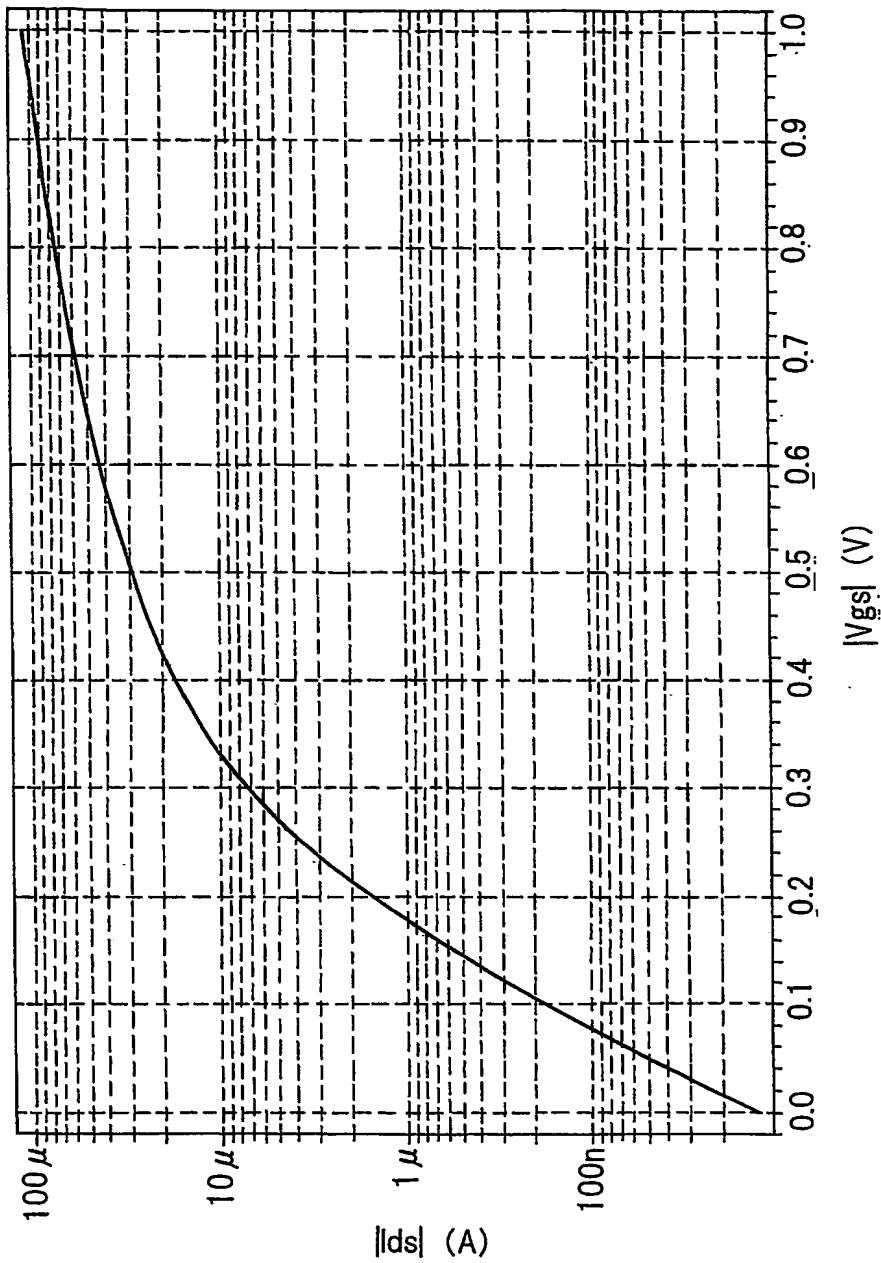
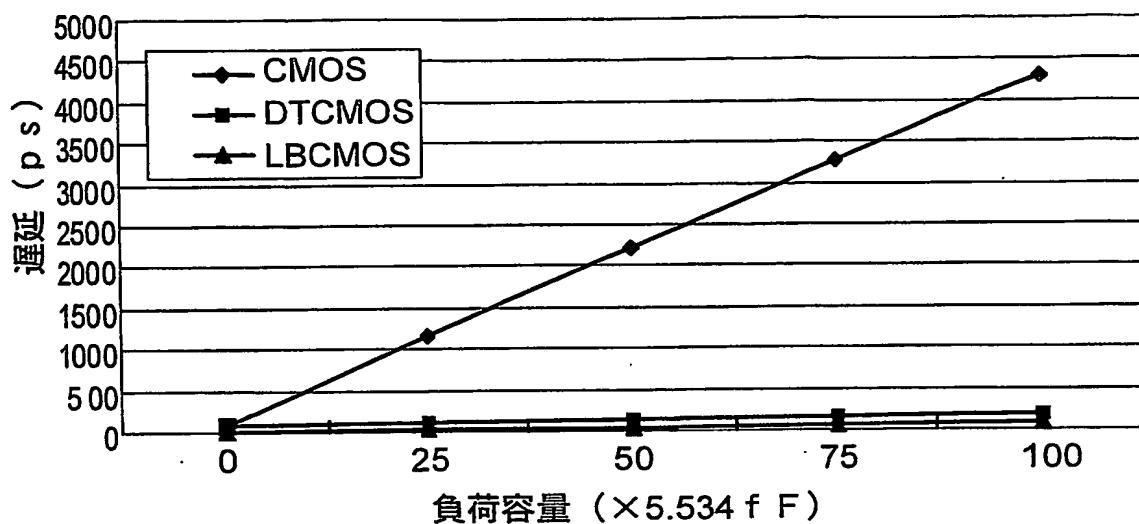


図22

(a) 電流源によるLBCMOSインバータの遅延  
( $V_{dd}=0.7V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )



(b) 電流源によるLBCMOSインバータの消費電力  
( $V_{dd}=0.7V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )

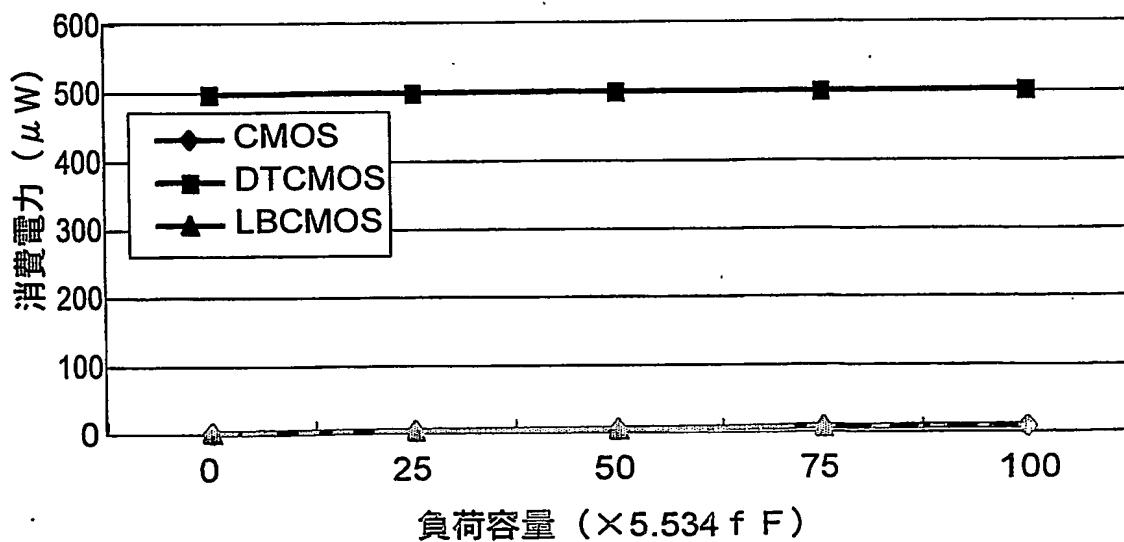
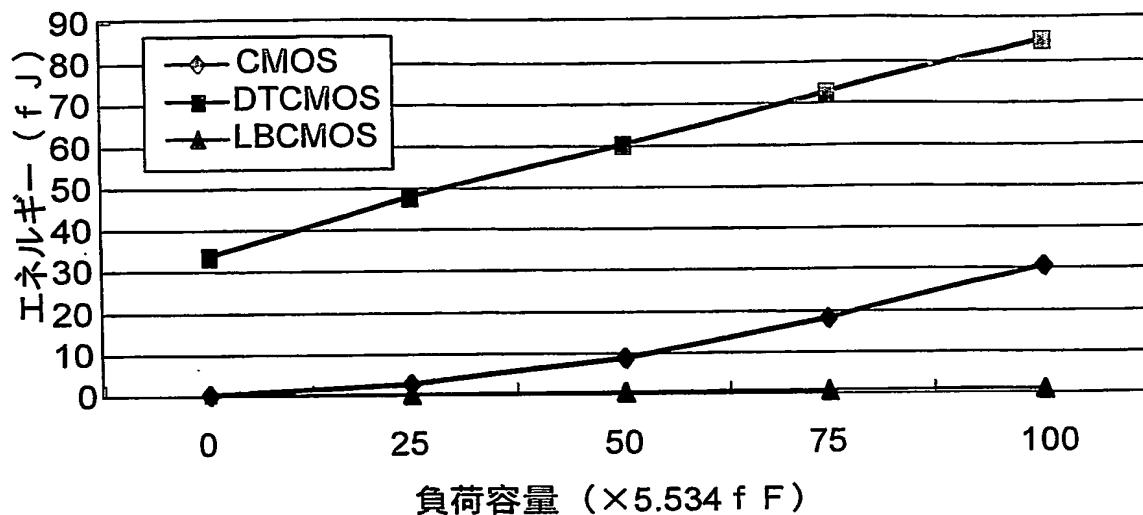


図23

(a) 電流源によるLBCMOSインバータのエネルギー  
( $V_{dd}=0.7V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )



(b) 電流源によるLBCMOSインバータのエネルギー遅延積  
( $V_{dd}=0.7V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )

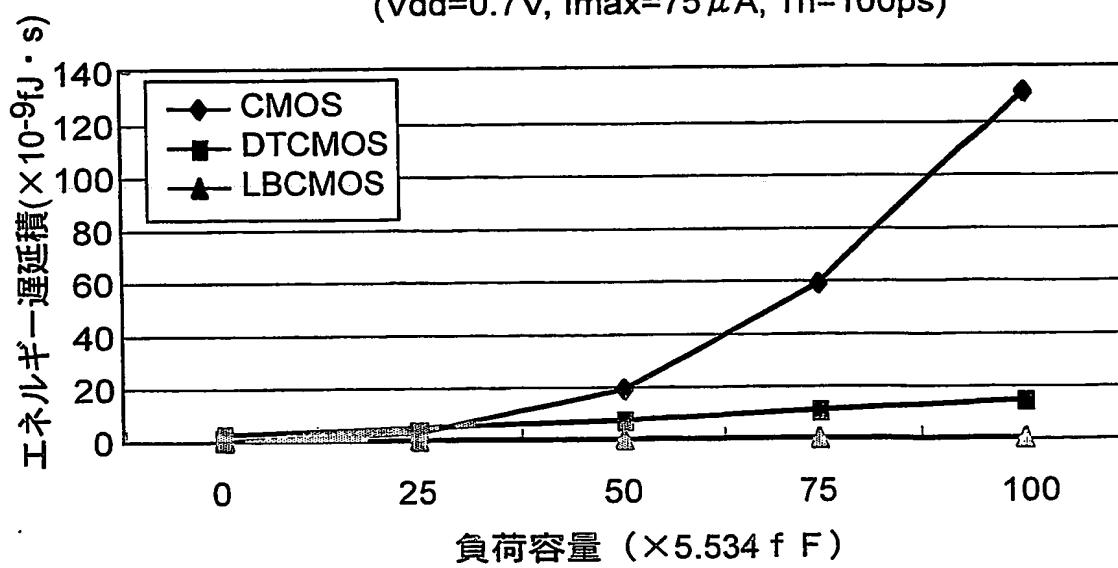
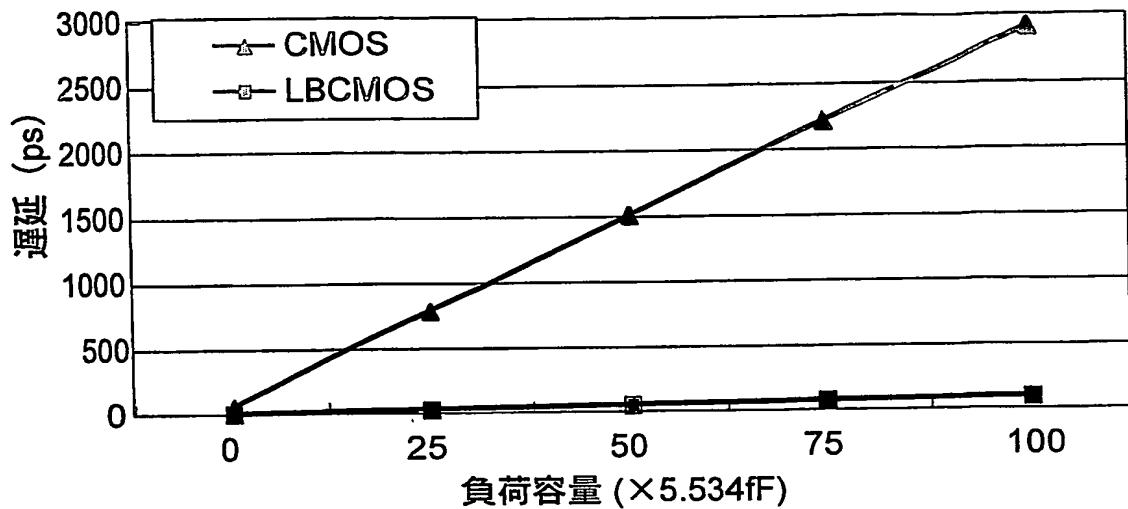


図24

(a) 電流源によるLBCMOSインバータの遅延  
( $V_{dd}=1.0V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )



(b) 電流源によるLBCMOSインバータの消費電力  
( $V_{dd}=1.0V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )

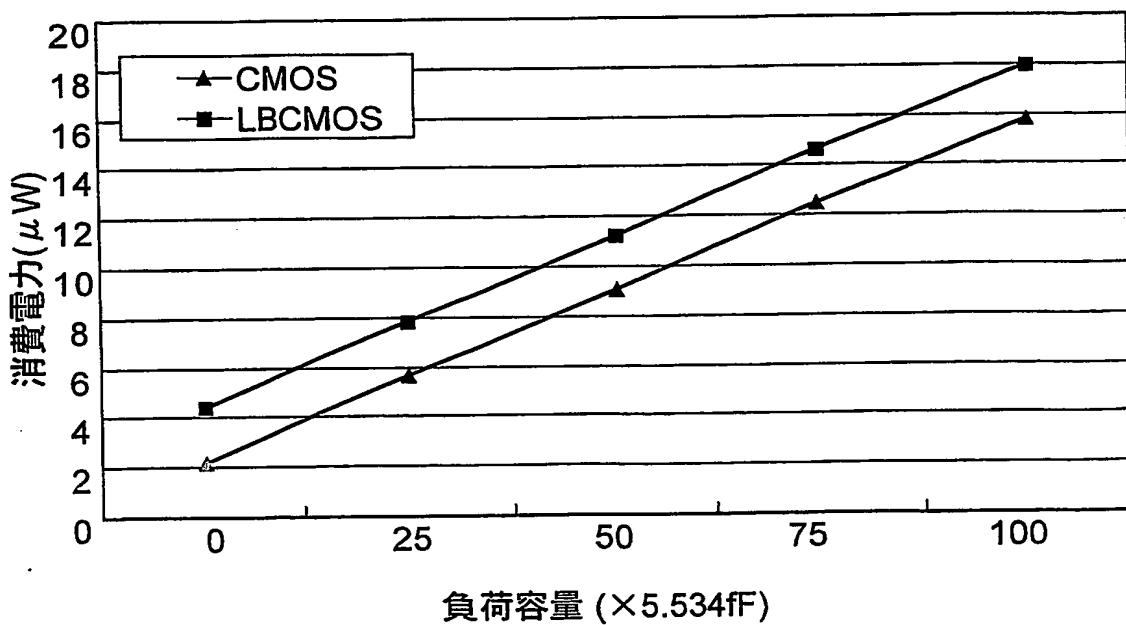
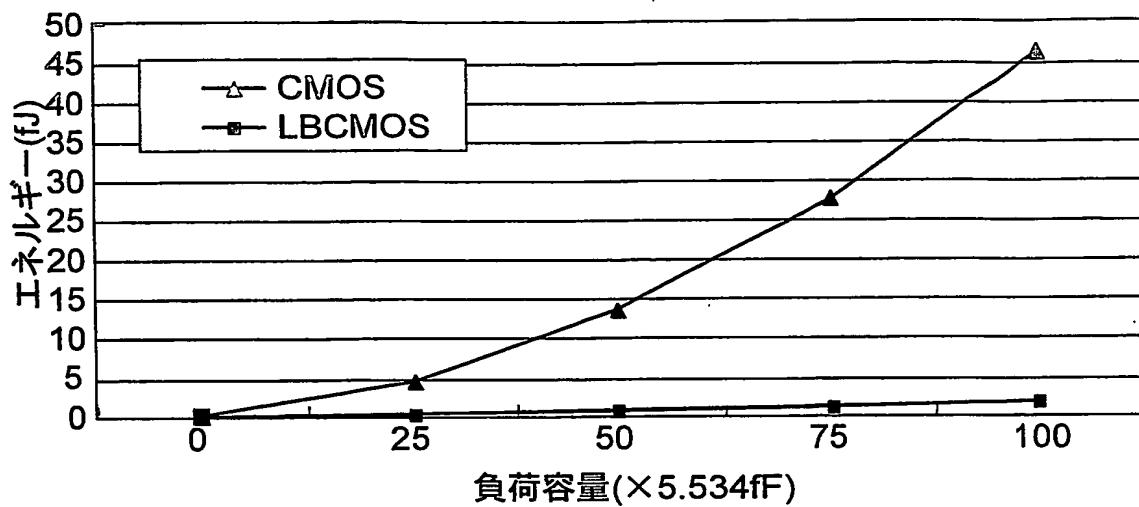
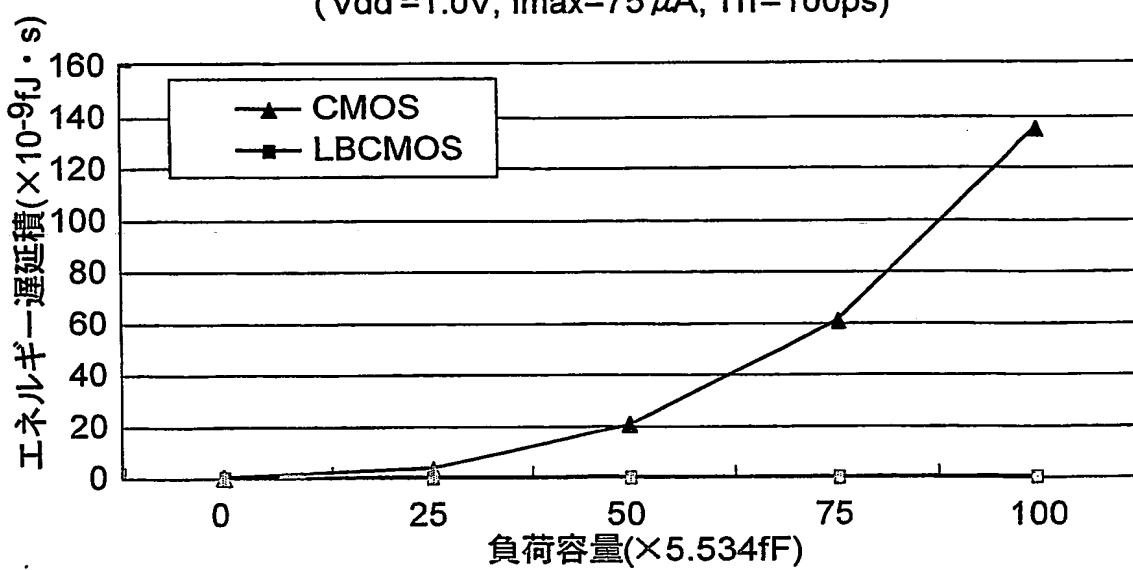


図25

(a) 電流源によるLBCMOSインバータのエネルギー  
( $V_{dd}=1.0V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )



(b) 電流源によるLBCMOSインバータのエネルギー遅延積  
( $V_{dd}=1.0V$ ,  $I_{max}=75\mu A$ ,  $T_h=100ps$ )

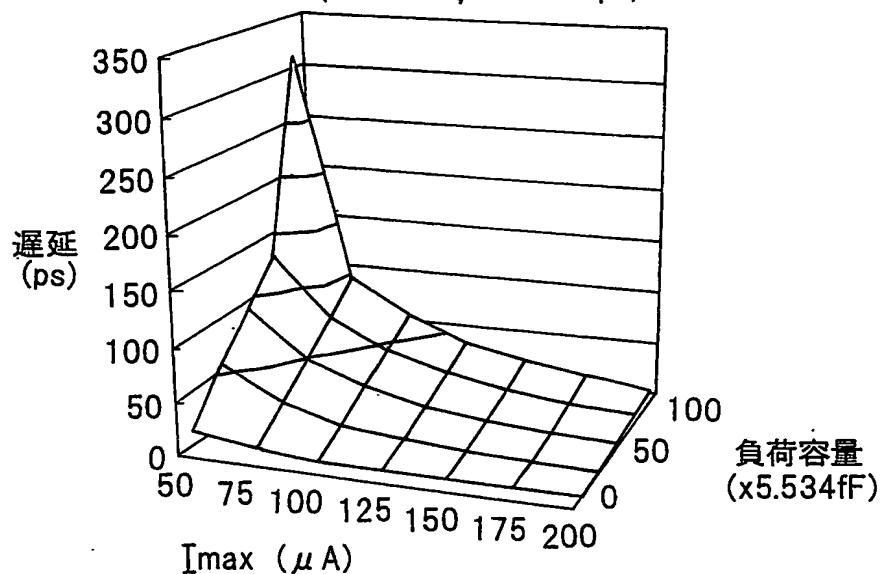


26/35

図26

電流源による LBCMOS インバータの遅延  
(Vdd=1.0V, Th=100ps)

(a)



電流源による LBCMOS インバータの消費電力  
(Vdd=1.0V, Th=100ps)

(b)

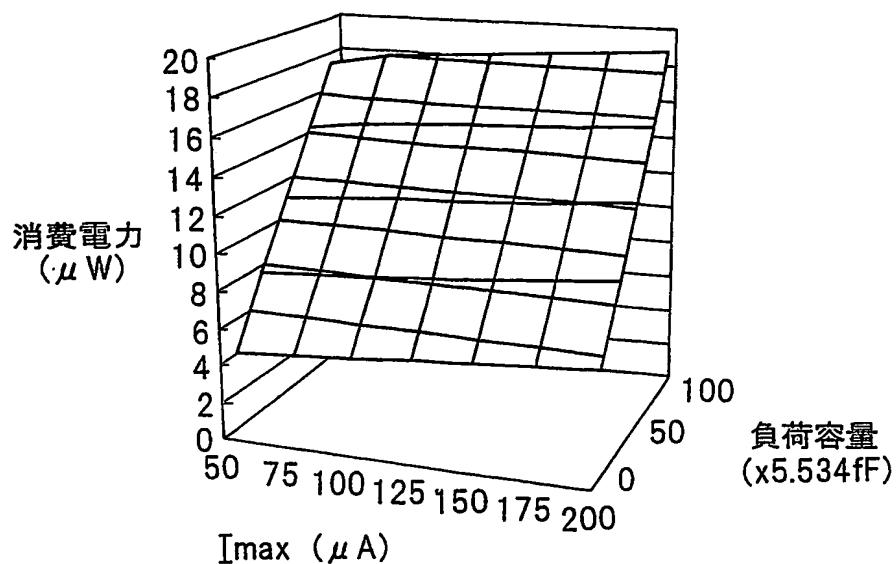
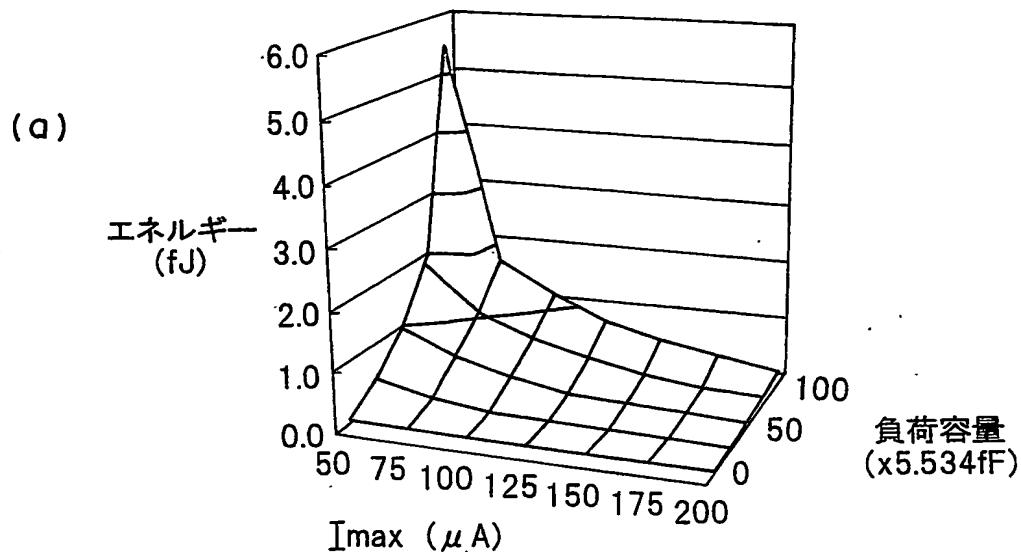


図27

電流源によるLBCMOSインバータのエネルギー  
(Vdd=1.0V, Th=100ps)



電流源によるLBCMOSインバータの遅延積  
(Vdd=1.0V, Th=100ps)

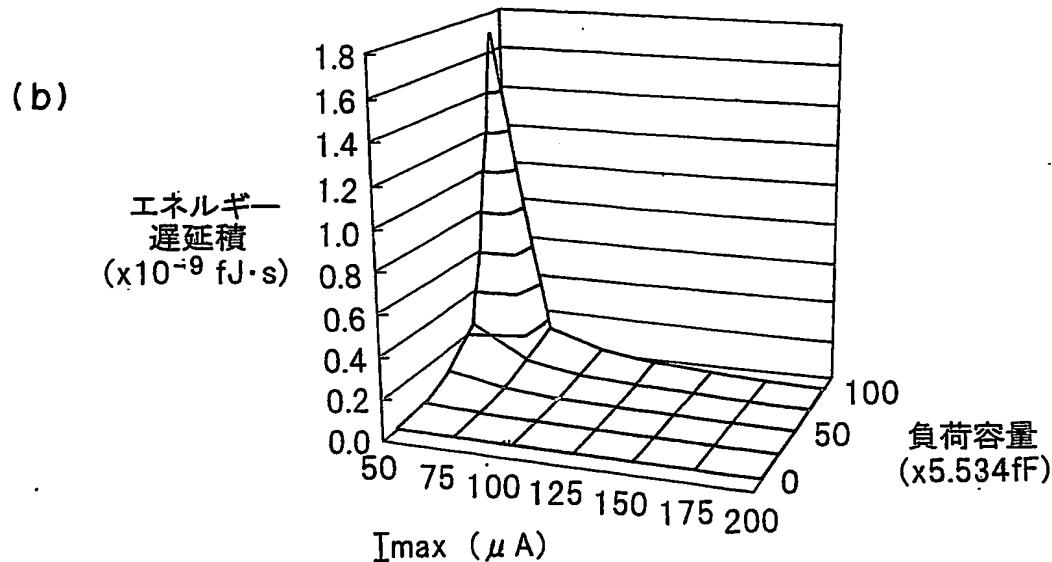
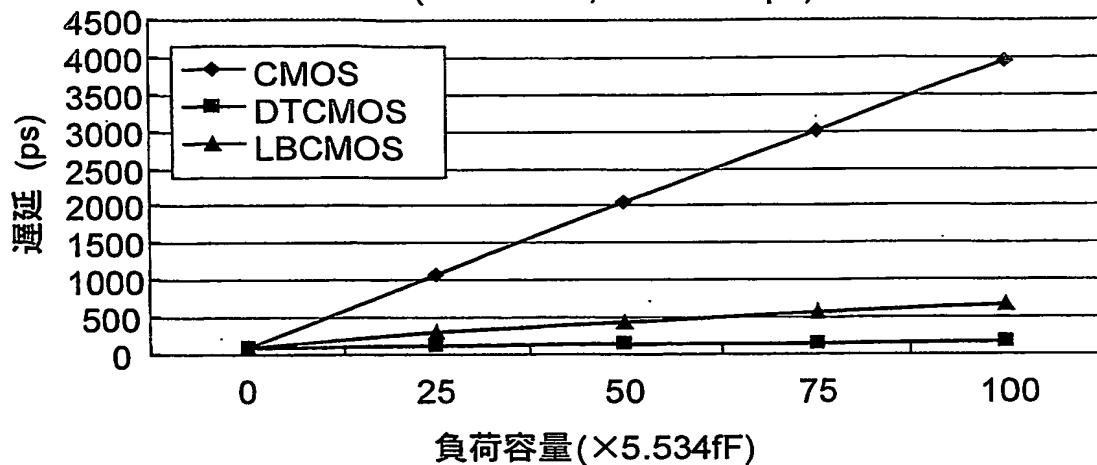


図28

(a) ゲート電圧制御によるLBCMOS インバータの遅延  
( $V_{dd} = 0.7V, Th=700ps$ )



(b) ゲート電圧制御によるLBCMOS インバータの消費電力  
( $V_{dd} = 0.7V, Th=700ps$ )

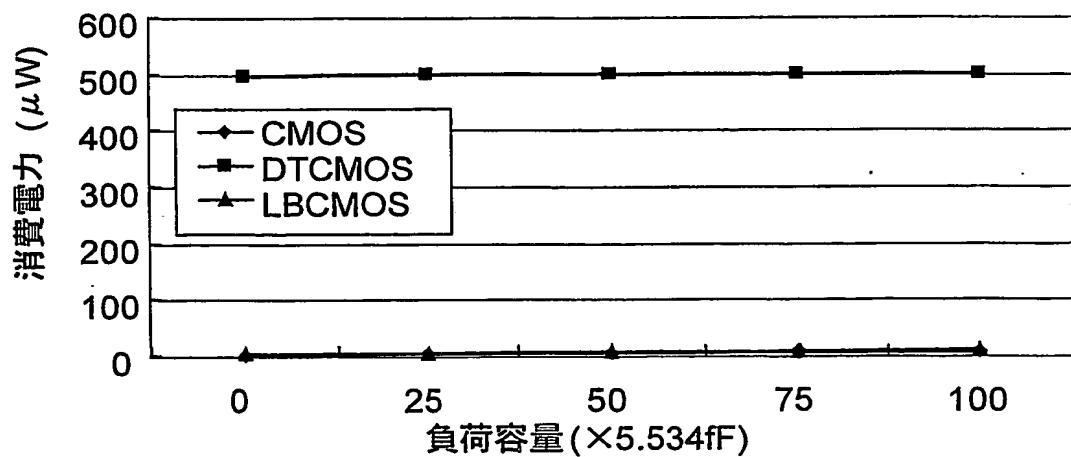
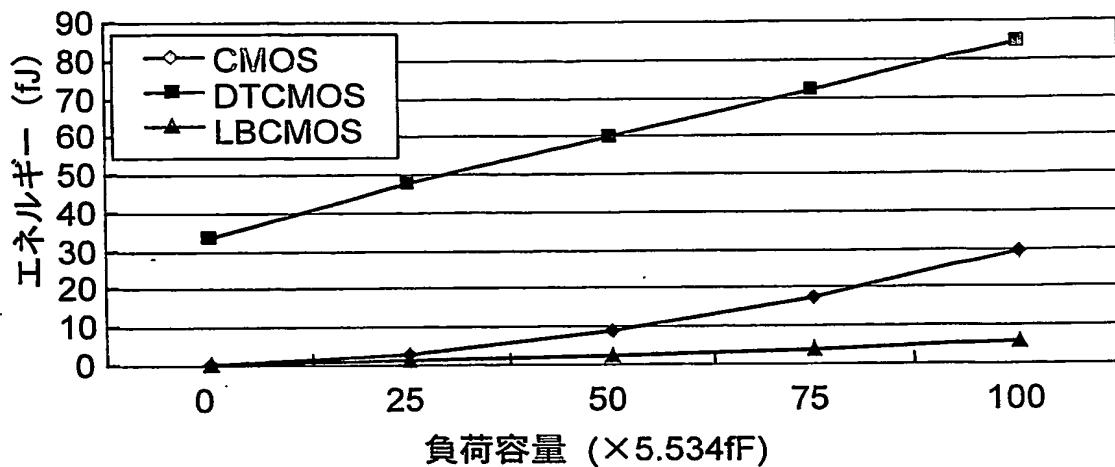


図29

(a) ゲート電圧制御によるLBCMOSインバータのエネルギー  
( $V_{dd}=0.7V$ ,  $T_h=T_f=700ps$ )



(b) ゲート電圧制御によるLBCMOSインバータのエネルギー遅延積  
( $V_{dd}=0.7V$ ,  $T_h=T_f=700ps$ )

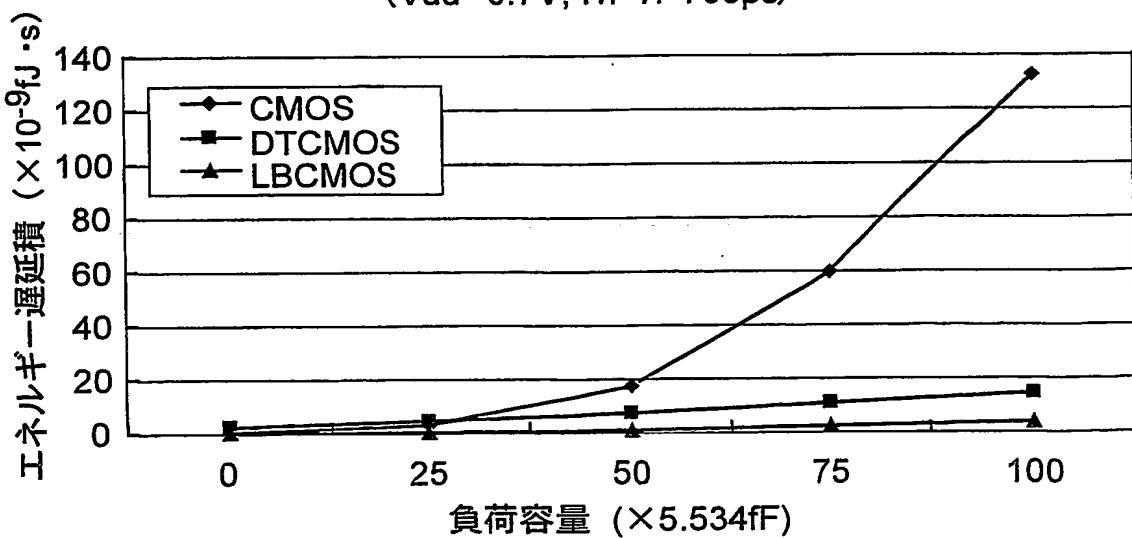
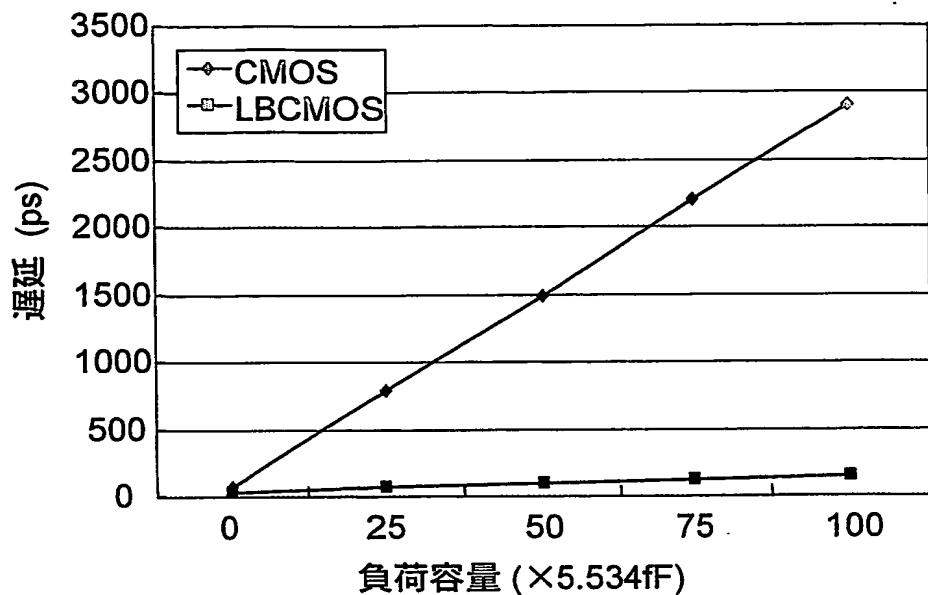


図30

(a) ゲート電圧制御によるLBCMOSインバータの遅延  
( $V_{dd} = 1.0V, T_h = T_l = 700ps$ )



(b) ゲート電圧制御によるLBCMOS インバータの消費電力  
( $V_{dd} = 1.0V, T_h = T_l = 700ps$ )

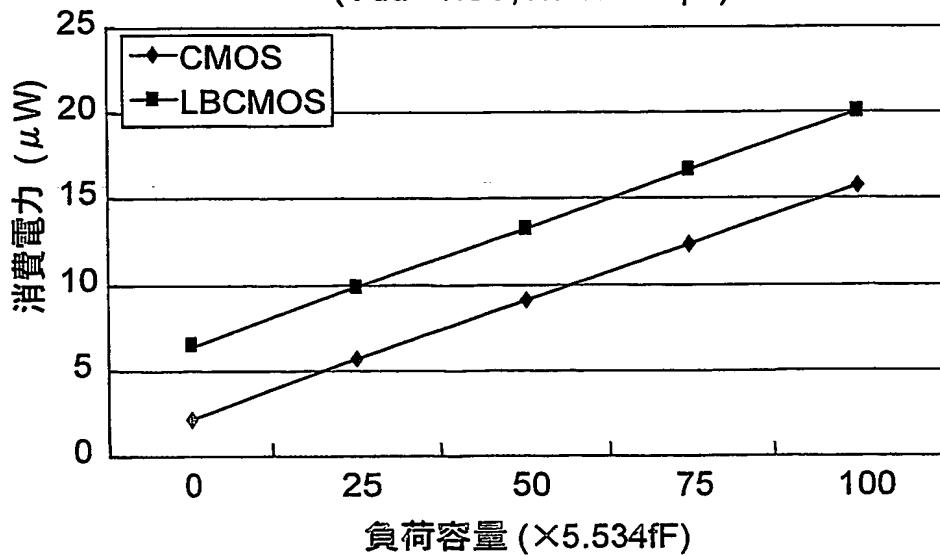
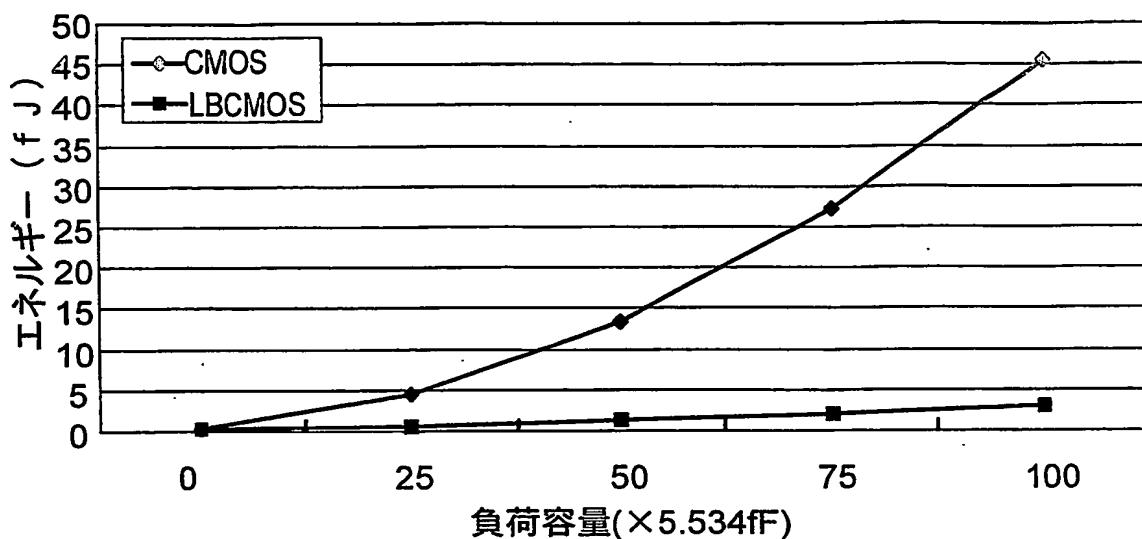


図31

(a)ゲート電圧制御によるLBCMOSインバータのエネルギー  
( $V_{dd}=1.0V$ ,  $T_h=T_l=700ps$ )



(b)ゲート電圧制御によるLBCMOSインバータのエネルギー遅延積  
( $V_{dd}=1.0V$ ,  $T_h=T_l=700ps$ )

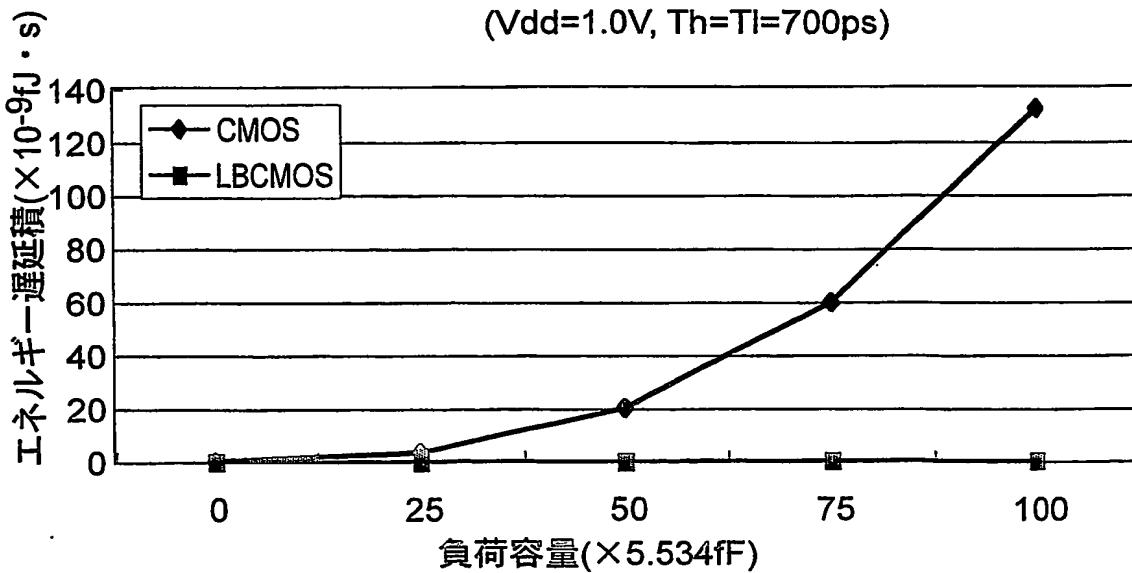
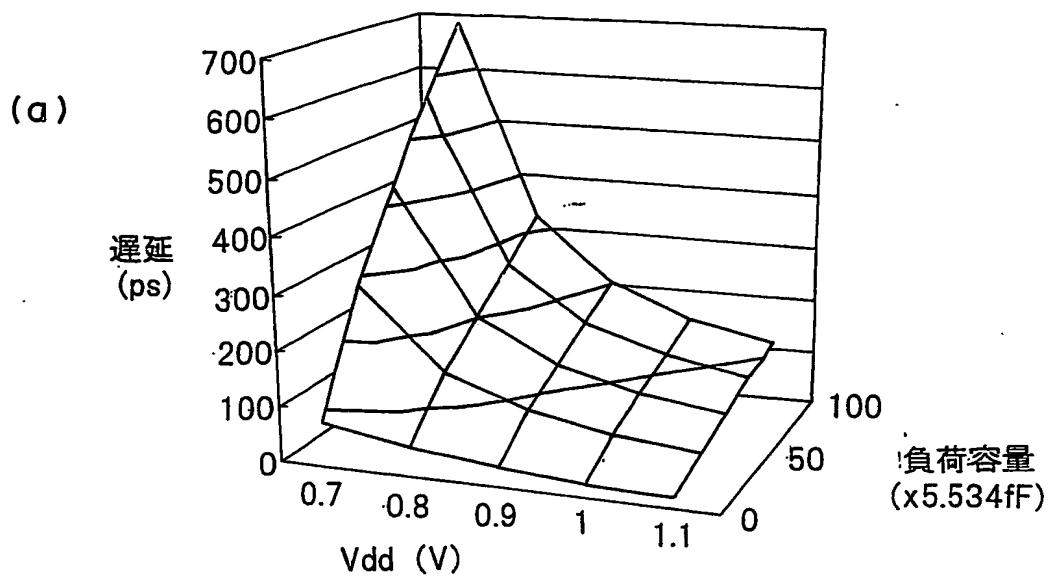


図32

ゲート電圧制御によるLBCMOSインバータの遅延  
( $T_h=T_l=700\text{ps}$ )



ゲート電圧制御によるLBCMOSインバータの消費電力  
( $T_h=T_l=700\text{ps}$ )

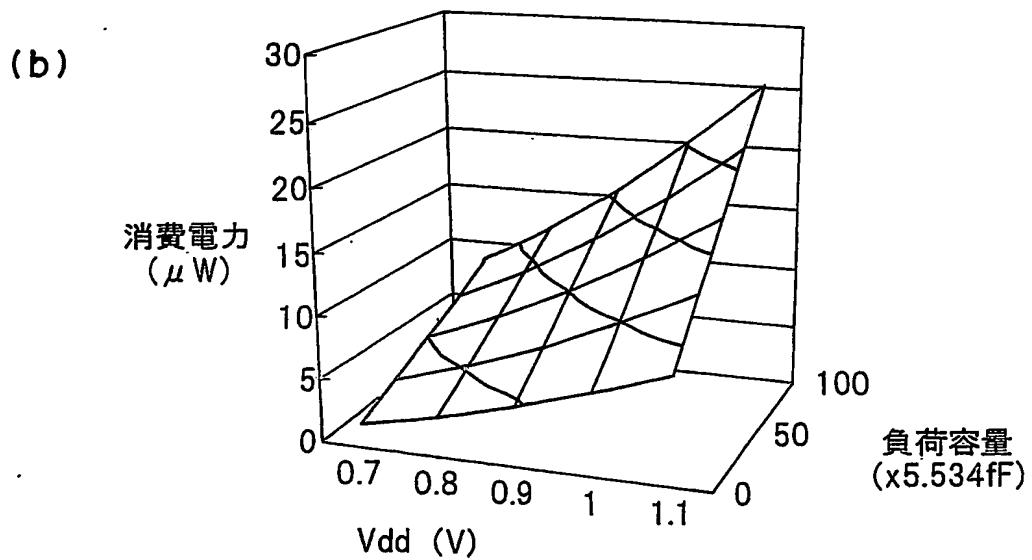
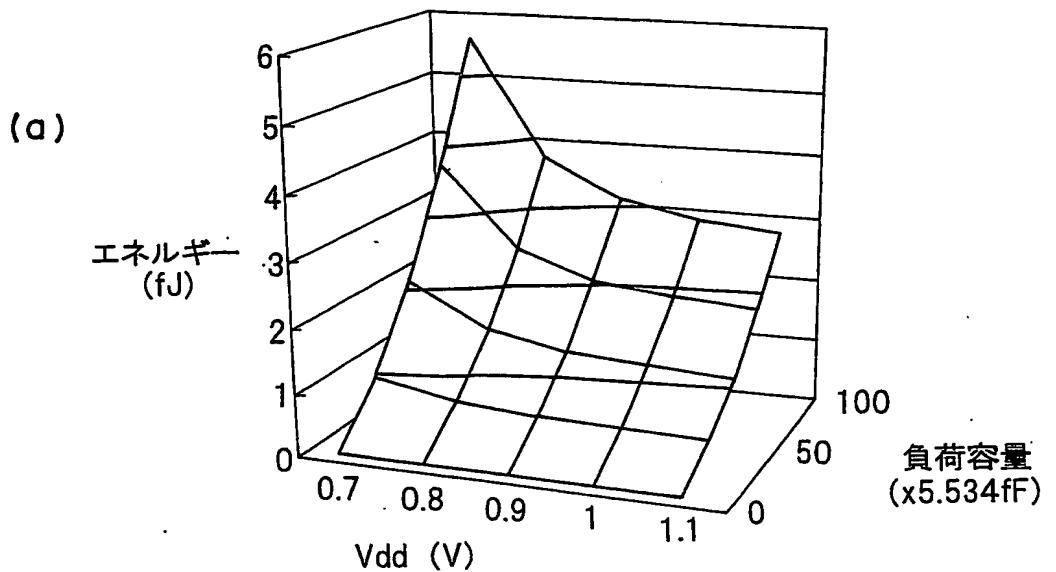


図33

ゲート電圧制御による LBCMOS インバータのエネルギー  
( $T_h=T_l=700\text{ps}$ )



ゲート電圧制御による LBCMOS インバータのエネルギー遅延積  
( $T_h=T_l=700\text{ps}$ )

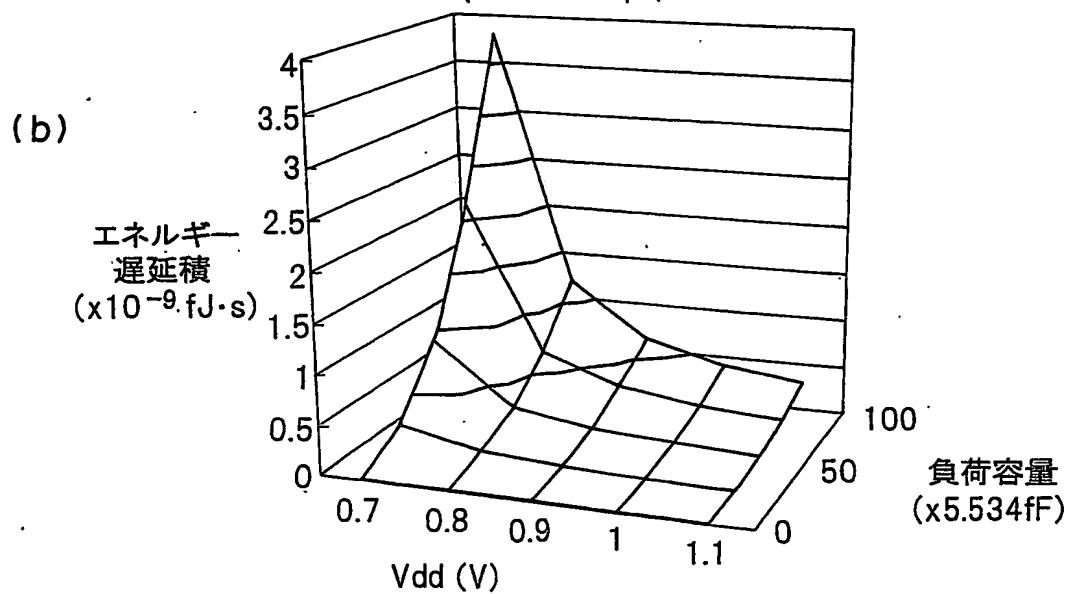
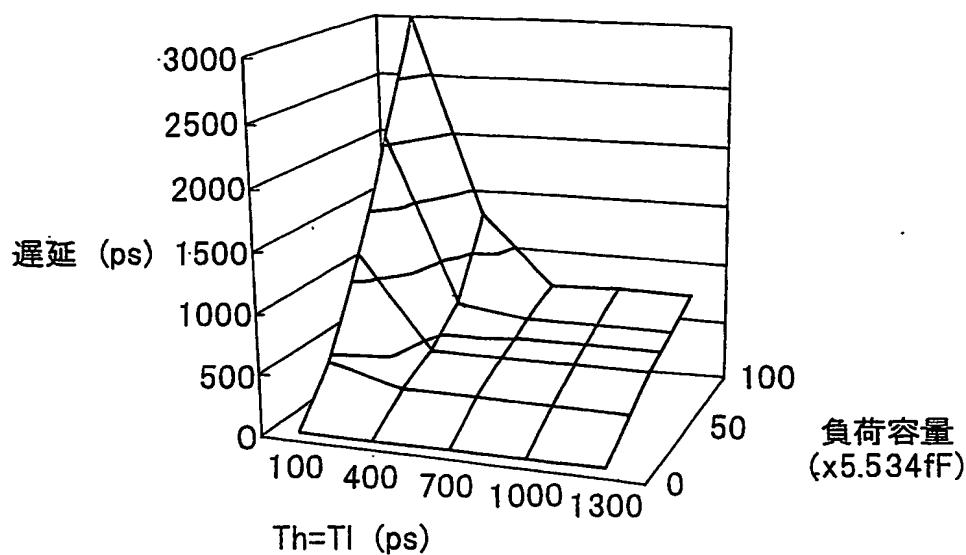


図34

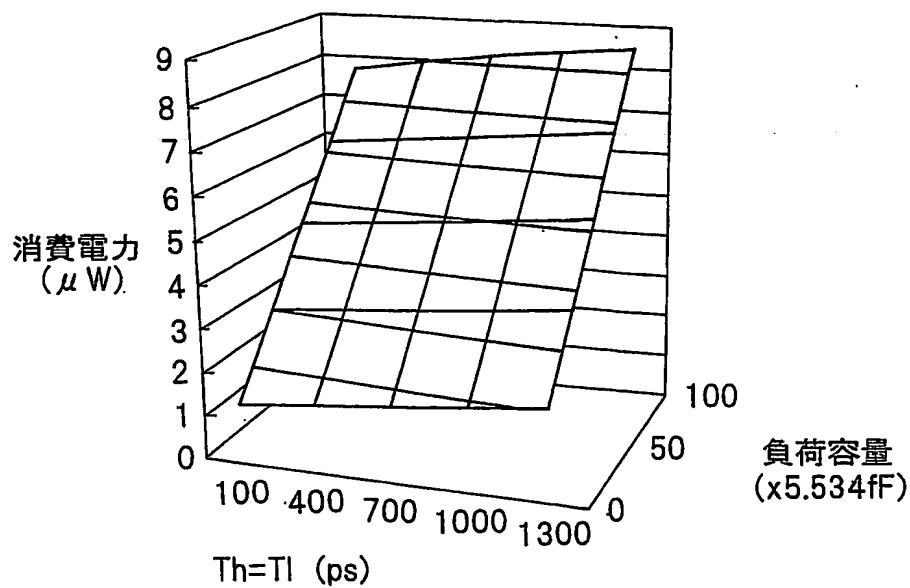
ゲート電圧制御による LBCMOS インバータの遅延  
(Vdd=0.7V)

(a)



ゲート電圧制御による LBCMOS インバータの消費電力  
(Vdd=0.7)

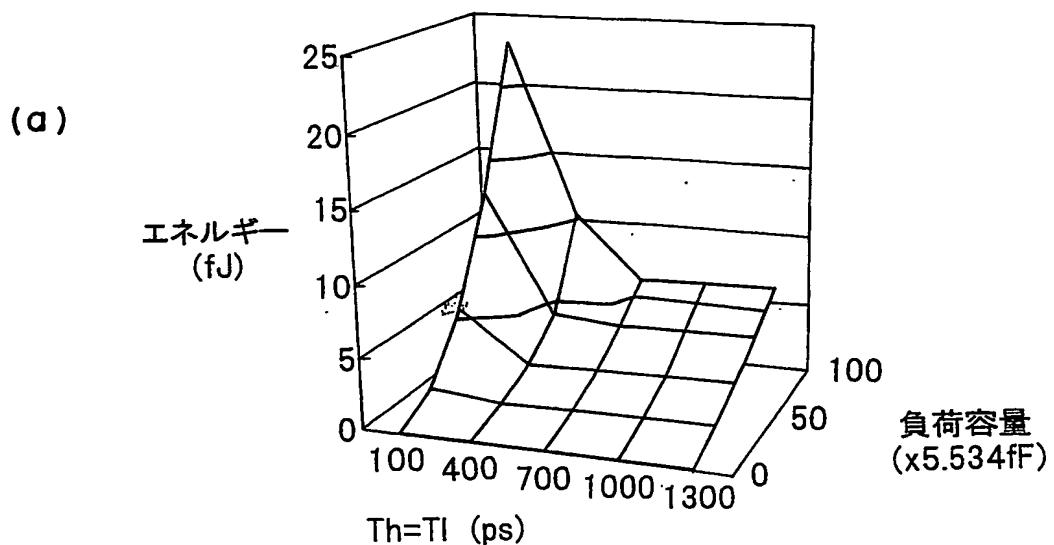
(b)



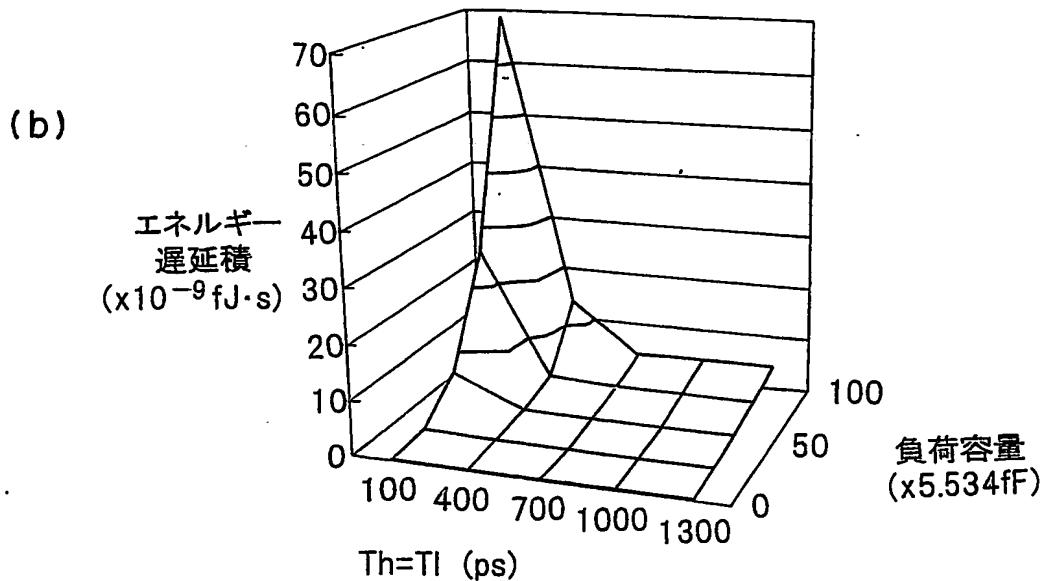
35/35

図35

ゲート電圧制御による LBCMOS インバータのエネルギー  
(Vdd=0.7V)



ゲート電圧制御による LBCMOS インバータのエネルギー遅延積  
(Vdd=0.7V)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003208

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L27/092, H01L27/06, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L27/092, H01L27/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-189957 A (Mitsubishi Electric Corp.), 21 July, 1998 (21.07.98), Par. Nos. [0015] to [0017] Figs. 1 to 5 (Family: none)	1-3, 5
Y	JP 2000-332132 A (International Business Machines Corp.), 30 November, 2000 (30.11.00), Par. Nos. [0033] to [0038]; Figs. 7 to 9 & US 6239649 B1 & KR 1014764 A & TW 441130 B	4

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
02 June, 2004 (02.06.04)Date of mailing of the international search report  
22 June, 2004 (22.06.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003208

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-289658 A (Fujitsu Ltd.), 19 December, 1986 (19.12.86), Full text; all drawings (Family: none)	1-5
A	JP 10-229166 A (NEC Corp.), 25 August, 1998 (25.08.98), Full text; all drawings & US 5912591 A & CN 1190825 A & KR 98071343 A	1-5

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C1' H01L27/092, H01L27/06, H01L29/786

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C1' H01L27/092, H01L27/06, H01L29/786

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 10-189957 A (三菱電機株式会社)	1-3, 5
Y	1998. 07. 21, 段落番号【0015】-【0017】, 第1-5図, (ファミリーなし)	4
Y	J P 2000-332132 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2000. 11. 30 段落番号【0033】-【0038】，第7-9図 & US 6239649 B1 & KR 1014764 A & TW 441130 B	4

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

02. 06. 2004

## 国際調査報告の発送日

22. 6. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

渕 真悟

4 L

3125

電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
引用文献の カテゴリー*		
A	JP 61-289658 A (富士通株式会社) 1986.12.19, 全文, 全図 (ファミリーなし)	1-5
A	JP 10-229166 A (日本電気株式会社) 1998.08.25, 全文, 全図 & US 5912591 A & CN 1190825 A & KR 98071343 A	1-5